

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-231904

(P2002-231904A)

(43)公開日 平成14年8月16日 (2002.8.16)

(51)Int.Cl.⁷

H 01 L 27/105
G 11 C 11/14
11/15
H 01 F 10/08
10/32

識別記号

F I

G 11 C 11/14
11/15
H 01 F 10/08
10/32
H 01 L 43/08

テーマコード(参考)

A 5 E 04 9
5 F 08 3

Z

審査請求 未請求 請求項の数27 O L (全49頁) 最終頁に続く

(21)出願番号

特願2001-29426(P2001-29426)

(22)出願日

平成13年2月6日 (2001.2.6)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 國清 辰也

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 永久 克己

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100089233

弁理士 吉田 茂明 (外2名)

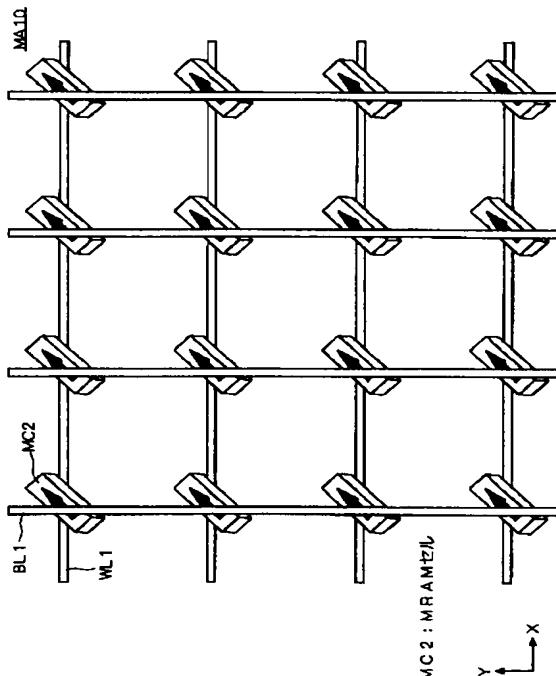
最終頁に続く

(54)【発明の名称】 磁気記憶装置および磁性体基板

(57)【要約】

【課題】 書き込み時の消費電力を低減したMRAMを提供するとともに、消去および書き込みに費やす時間を低減したMRAMを提供する。

【解決手段】 互いに平行に配設された複数のワード線WL1の上部において交差するように、互いに平行に配設された複数のビット線BL1が配設されている。そして、ワード線およびビット線で挟まれる各交点にMRAMセルMC2が形成されている。そして、矢印で示すイージーアクシスが、ビット線およびワード線に対して45度傾くように各MRAMセルMC3が配設されている。



1

【特許請求の範囲】

【請求項1】 非接触で交差して、マトリックスを構成する複数のビット線および複数のワード線と、前記複数のビット線と前記複数のワード線との交差部に

それぞれ配設され、少なくとも1つの磁気トンネル接合を含む複数のメモリセルとを備えた磁気記憶装置であつて、

前記複数のメモリセルは、前記複数のビット線のうちの1本および前記複数のワード線のうちの1本の間にそれぞれ配設され、

前記少なくとも1つの磁気トンネル接合は、磁化の方向が変更可能なソフト強磁性体層を有し、

前記少なくとも1つの磁気トンネル接合は、前記ソフト強磁性体層の磁化の容易な方向であるイージーアクシスが、前記複数のビット線および前記複数のワード線の延在方向に対して40～50度の角度を有するように配設される、磁気記憶装置。

【請求項2】 前記磁気トンネル接合は、

前記イージーアクシスに平行な辺が、前記イージーアクシスに直交する辺よりも長くなるように、平面視形状が矩形に構成される、請求項1記載の磁気記憶装置。

【請求項3】 非接触で交差して、マトリックスを構成する複数のビット線および複数のワード線と、

前記複数のビット線と前記複数のワード線との交差部にそれぞれ配設され、少なくとも1つの磁気トンネル接合を含む複数のメモリセルとを備えた磁気記憶装置であつて、

前記複数のビット線の第1の端部にそれぞれ接続され、前記第1の端部と第1の電源あるいは第2の電源との電気的な接続を切り替え可能な複数の第1の切り替え手段と、

前記複数のビット線の第2の端部にそれぞれ接続され、前記第2の端部と前記第1の電源あるいは前記第2の電源との電気的な接続を切り替え可能な複数の第2の切り替え手段と、を備える、磁気記憶装置。

【請求項4】 前記第1の切り替え手段は、前記複数のビット線の第1の端部にそれぞれの第1の主電極が接続され、それぞれの第2の主電極が、前記第1の電源および前記第2の電源に接続された同一導電型の第1および第2のMOSトランジスタを有し、前記第2の切り替え手段は、

前記複数のビット線の第2の端部にそれぞれの第1の主電極が接続され、それぞれの第2の主電極が、前記第1の電源および前記第2の電源に接続された同一導電型の第3および第4のMOSトランジスタを有する、請求項3記載の磁気記憶装置。

【請求項5】 前記第1の切り替え手段は、前記複数のビット線の第1の端部にそれぞれの第1の主電極が接続され、それぞれの第2の主電極が、前記第1の電源および前記第2の電源に接続された導電型の異なる

2

の第1および第2のMOSトランジスタを有し、前記第2の切り替え手段は、

前記複数のビット線の第2の端部にそれぞれの第1の主電極が接続され、それぞれの第2の主電極が、前記第1の電源および前記第2の電源に接続された導電型の異なる第3および第4のMOSトランジスタを有する、請求項3記載の磁気記憶装置。

【請求項6】 前記第1および第2のMOSトランジスタのそれぞれ前記第1の主電極間に接続された、前記第2のMOSトランジスタと同一導電型の第5のMOSトランジスタと、

記第3および第4のMOSトランジスタのそれぞれ前記第1の主電極間に接続された、前記第4のMOSトランジスタと同一導電型の第6のMOSトランジスタと、をさらに備え、

前記第5および第6のMOSトランジスタの制御電極は、常時オン状態となる所定電圧を与える第3の電源に接続される、請求項5記載の磁気記憶装置。

【請求項7】 非接触で交差して、マトリックスを構成する複数のビット線および複数のワード線、および、前記複数のビット線と前記複数のワード線との交差部にそれぞれ配設され、少なくとも1つの磁気トンネル接合を含む複数のメモリセル、

で構成される複数のメモリセルアレイと、

前記複数のメモリセルアレイに渡る複数のメインワード線と、

前記複数のメモリセルアレイの個々に対応して配設された複数のメモリセルアレイ選択線と、を有した、少なくとも1のメモリセルアレイ群を備え、

前記複数のワード線は、前記複数のメインワード線と前記複数のメモリセルアレイ選択線との交差部にそれぞれ設けられた第1の組み合わせ論理ゲートの出力にそれぞれ接続され、

前記第1の組み合わせ論理ゲートの入力は、交差状態にある前記複数のメインワード線の1本と前記複数のメモリセルアレイ選択線の1本とに接続される、磁気記憶装置。

【請求項8】 前記少なくとも1のメモリセルアレイ群を複数有し、

前記複数のメモリセルアレイ群に渡る複数のグローバルワード線と、

前記複数のメモリセルアレイ群の個々に対応して配設された複数のメモリセルアレイ群選択線とをさらに有し、前記複数のメインワード線は、前記複数のグローバルワード線と前記複数のメモリセルアレイ群選択線との交差部にそれぞれ設けられた第2の組み合わせ論理ゲートの出力にそれぞれ接続され、

前記第2の組み合わせ論理ゲートの入力は、交差状態にある前記複数のグローバルワード線の1本と前記複数のメモリセルアレイ群選択線の1本とに接続される、請求

項7記載の磁気記憶装置。

【請求項9】 非接触で交差して、マトリックスを構成する複数のビット線および複数のワード線、および、前記複数のビット線と前記複数のワード線との交差部にそれぞれ配設され、少なくとも1つの磁気トンネル接合を含む複数のメモリセル、

で構成される複数のメモリセルアレイと、

前記複数のメモリセルアレイに渡る複数のメインビット線と、

前記複数のメモリセルアレイの個々に対応して配設された複数のメモリセルアレイ選択線とを有した、少なくとも1のメモリセルアレイ群とを備え、

前記複数のビット線は、前記複数のメインビット線と前記複数のメモリセルアレイ選択線との交差部にそれぞれ設けられた第1の組み合わせ論理ゲートの出力にそれぞれ接続され、

前記第1の組み合わせ論理ゲートの入力は、交差状態にある前記複数のメインビット線の1本と前記複数のメモリセルアレイ選択線の1本とに接続される、磁気記憶装置。

【請求項10】 前記少なくとも1のメモリセルアレイ群を複数有し、

前記複数のメモリセルアレイ群に渡る複数のグローバルビット線と、

前記複数のメモリセルアレイ群の個々に対応して配設された複数のメモリセルアレイ群選択線とをさらに有し、前記複数のメインビット線は、前記複数のグローバルビット線と前記複数のメモリセルアレイ群選択線との交差部にそれぞれ設けられた第2の組み合わせ論理ゲートの出力にそれぞれ接続され、

前記第2の組み合わせ論理ゲートの入力は、交差状態にある前記複数のグローバルビット線の1本と前記複数のメモリセルアレイ群選択線の1本とに接続される、請求項9記載の磁気記憶装置。

【請求項11】 非接触で交差して、マトリックスを構成する複数のビット線および複数のワード線、および、前記複数のビット線と前記複数のワード線との交差部にそれぞれ配設され、少なくとも1つの磁気トンネル接合を含む複数のメモリセル、

で構成されるメモリセルアレイと、

インダクタとを備え、

前記少なくとも1つの磁気トンネル接合は、磁化の方向が変更可能なソフト強磁性体層を有し、

前記インダクタは、前記ソフト強磁性体層の磁化の容易な方向であるイージーアクシスに沿った方向に磁界を発生させる、磁気記憶装置。

【請求項12】 前記少なくとも1つの磁気トンネル接合は、

前記イージーアクシスが、前記複数のビット線または前記複数のワード線の延在方向に合致するように配設さ

れ、

前記インダクタは、

前記イージーアクシスの方向と合致する前記複数のビット線または前記複数のワード線の延在方向に沿って、前記メモリセルアレイを取り巻くように配設されたコイル状のインダクタである、請求項11記載の磁気記憶装置。

【請求項13】 非接触で交差して、マトリックスを構成する複数のビット線および複数のワード線、および、前記複数のビット線と前記複数のワード線との交差部にそれぞれ配設され、少なくとも1つの磁気トンネル接合を含む複数のメモリセル、

で構成される少なくとも1つのメモリセルアレイと、

前記少なくとも1つのメモリセルアレイの、前記複数のビット線および前記複数のワード線の外側にそれぞれ設けられ、前記複数のビット線および前記複数のワード線の形成領域を覆う平板状の少なくとも1つのフラッシュビット線と、少なくとも1つのフラッシュワード線と、を備える磁気記憶装置。

【請求項14】 前記少なくとも1つのメモリセルアレイを複数有し、

前記複数のメモリセルアレイはマトリックス状に配設され、

前記少なくとも1つのフラッシュビット線および、少なくとも1つのフラッシュワード線は、

前記複数のメモリセルアレイの配列に沿って、マトリックスを構成するようにそれぞれ複数配設される、請求項13記載の磁気記憶装置。

【請求項15】 非接触で交差して、マトリックスを構成する複数のビット線および複数のワード線、および、前記複数のビット線と前記複数のワード線との交差部にそれぞれ配設され、少なくとも1つの磁気トンネル接合を含む複数のメモリセル、

で構成されるメモリセルアレイと、

前記複数のビット線および複数のワード線の少なくとも1方の2つの端部にそれぞれ配設され、選択されたビット線およびワード線の少なくとも1方に流れる電流を、LC共振によって保存する少なくとも1つのインダクタと、少なくとも1つのキャパシタと、を備える磁気記憶装置。

【請求項16】 前記少なくとも1つのインダクタおよび、前記少なくとも1つのキャパシタを複数有し、

前記複数のビット線は、2つが対となって複数のビット線対を構成し、

前記複数のインダクタは、前記複数のビット線対のそれぞれに対応して、ビット線間に電気的に接続されるように配設された複数の第1のインダクタを含み、

前記複数のキャパシタは、前記複数のインダクタの配設側とは反対の端部において、前記複数のビット線のそれぞれに対応して電気的に接続される複数の第1のキャパ

シタを含む、請求項15記載の磁気記憶装置。

【請求項17】前記複数のワード線は、2つが対となって複数のワード線対を構成し、

前記複数のインダクタは、前記複数のワード線対のそれぞれに対応して、ワード線間に電気的に接続されるよう配設された複数の第2のインダクタをさらに含み、前記複数のキャパシタは、前記複数のインダクタの配設側とは反対の端部において、前記複数のワード線のそれぞれに対応して電気的に接続される複数の第2のキャパシタをさらに含む、請求項16記載の磁気記憶装置。

【請求項18】少なくとも1つの半導体チップと、導体で構成され、前記少なくとも1つの半導体チップを収納する遮蔽体と、樹脂で構成され、前記遮蔽体を収納するパッケージと、前記パッケージの開口部を閉じて密閉する底面基板と、前記底面基板の外側主面に配設され、前記少なくとも1つの半導体チップと外部との信号伝送を行う信号伝送用バンプと、

前記信号伝送用バンプを囲むように配設され、前記遮蔽体に電気的に接続される遮蔽用バンプと、を備え、前記少なくとも1つの半導体チップは、

少なくとも1つの磁気トンネル接合を含む複数のメモリセルを有して構成されるメモリセルアレイを備えた磁気記憶チップを含む、磁気記憶装置。

【請求項19】前記遮蔽体の開口部端縁の内側および外側に配設された第1の応力緩和膜と、

前記遮蔽体の内壁に配設された第2の応力緩和膜とをさらに備える、請求項18記載の磁気記憶装置。

【請求項20】前記少なくとも1つの半導体チップは、前記メモリセルアレイの周辺回路を含む回路チップをさらに含み、

前記磁気記チップおよび前記回路チップは上下に重ねられて前記遮蔽体内に収納される、請求項19記載の磁気記憶装置。

【請求項21】前記少なくとも1つの磁気トンネル接合は、磁化の方向が変更可能なソフト強磁性体層を有し、前記遮蔽体は、

前記ソフト強磁性体層と同等か、それよりも大きな透磁率を有する強磁性体で構成される、請求項18記載の磁気記憶装置。

【請求項22】前記遮蔽体は、反強磁性体で構成される、請求項18記載の磁気記憶装置。

【請求項23】前記遮蔽体は、強磁性体と反強磁性体との多層膜で構成される、請求項18記載の磁気記憶装置。

【請求項24】主面全域に配設された、少なくとも1つの磁気トンネル接合を形成する多層膜を少なくとも有する磁性体基板。

【請求項25】前記多層膜は、前記少なくとも1つの磁気トンネル接合として、順に配設された、反磁性体層、強磁性体層、絶縁体で構成されるトンネルバリア層およびソフト強磁性体層を含む、請求項24記載の磁性体基板。

【請求項26】前記多層膜は、前記少なくとも1つの磁気トンネル接合の下部に配設され、p-n接合を構成する第1導電型不純物層と第2導電型不純物層との2層膜をさらに含む、請求項25記載の磁性体基板。

10 【請求項27】前記磁性体基板は、土台となる基板部と、該基板部上に配設された埋め込み酸化膜と、該埋め込み酸化膜上に配設されたSOI層とを備えるSOI基板上に前記多層膜を有する、請求項24記載の磁性体基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は磁気記憶装置に関し、特に、磁気トンネル接合を個々のメモリセルとして利用する不揮発性メモリアレイを有した磁気記憶装置に関する。

【0002】

【従来の技術】<トンネル磁気抵抗効果>絶縁体を2つの強磁性体で挟んだ構造を磁気トンネル接合(Magnetic Tunnel Junction: MTJ)と呼称する。

【0003】図67にMTJの概念図を示す。図67において、強磁性体層FM21およびFM22によって絶縁層TBが挟まれるように配設され、強磁性体層FM21およびFM22には電圧が印加される構成となっている。

30 【0004】この構造において、絶縁層TBをトンネルする電流を測定すると、2つの強磁性体層の磁化の向きによって電流値が異なる現象が観測される。

【0005】この現象はトンネル磁気抵抗(Tunnel Magnetic Resistance: TMR)効果と呼称される。TMR効果について図68～図70を用いて説明する。

【0006】図68は遷移金属の状態密度N(E)の模式図を示している。図68においては、横軸に状態密度を、縦軸にエネルギーEを示し、原子が有する電子をスピンの向きで分類して示している。すなわち、図68に

40 向かって左側にスピンの向きが下向きの電子を有する原子の状態密度を示し、向かって右側にスpinの向きが上向きの電子を有する原子の状態密度を示す。

【0007】また、図68においては、3d軌道と4s軌道のうち、フェルミ準位まで電子が充填されている原子を模式的に示すため、フェルミ準位を境界として、フェルミ準位まで電子が充填されている原子をハッチングで示している。

【0008】遷移金属が強磁性体になるのは、フェルミ準位まで電子が充填されている原子のうち、3d軌道の電子において、上向きのスピンの数と下向きのスピンの

数が異なるためである。

【0009】すなわち、4s軌道の電子は上向きのスピニの数と下向きのスピニの数が同じであるので磁性の発生には寄与しない。

【0010】図69および図70はTMR効果を模式的に示す図である。図69では、絶縁層TBの左側の強磁性体層FM21を構成する原子の3d軌道のうち、下向きのスピニの電子を有する原子の状態密度が上向きのスピニの電子を有する原子の状態密度より多いので、全体として磁化の向きは下向きになる。

【0011】絶縁層TBの右側の強磁性体層FM22も同じく全体として磁化の向きが下向きになる。

【0012】電子のトンネリングは、主に始状態と終状態のスピニの向きを保存するように起こる。図69の場合、始状態（強磁性体層FM21内）と終状態（強磁性体層FM22内）の下向きのスピニ状態密度がともに大きいので、トンネル確率は大きくなり、トンネル電流も大きくなる。すなわち、トンネル磁気抵抗は小さくなる。

【0013】一方、図70では始状態（強磁性体層FM21内）の上向きのスピニの電子を有する原子の状態密度が大きいが、終状態（強磁性体層FM22内）の上向きのスピニの電子を有する原子の状態密度が小さいため、トンネル確率は小さくなり、トンネル電流も小さくなる。すなわち、トンネル磁気抵抗は大きくなる。

【0014】ここで、2つの強磁性体層の磁化の向きが互いに同じである場合の抵抗をRF、反対方向を向いている場合の抵抗をRAFとすると、トンネル磁気抵抗変化率（Tunnel Magnetic Resistance Rate: TMR R）は次式で表される。

【0015】

【数1】

$$TMR R = \frac{R_{AF} - R_F}{R_A} = \frac{P_1 P_2}{1 - P_1 P_2} \quad \dots (1)$$

【0016】なお、上記式（1）において、P1、P2は、それぞれ強磁性体層FM21およびFM22のスピニ分極率である。

【0017】そして、σスピニバンドのフェルミ面での状態密度をDσ(EF)とするとスピニ分極率は次に式で表される。

【0018】

【数2】

$$P = \frac{D_{\uparrow}(E_F) - D_{\downarrow}(E_F)}{D_{\uparrow}(E_F) + D_{\downarrow}(E_F)} \quad \dots (2)$$

【0019】すなわち、スピニ分極率はフェルミ面での上向きスピニと下向きスピニの状態密度差が大きいほど大きくなる。また、スピニ分極率が1に近づくほど、TMR Rは大きくなる。また、スピニ分極と磁化は比例することが知られている。ここで、表1に各種磁性体のスピニ分極率をまとめて示す。

【0020】

【表1】

| 材料 | スピニ分極率 |
|--|------------|
| Fe | 0.44 |
| Co | 0.35 |
| Ni | 0.23 |
| Ni ₈₀ Fe ₂₀ | 0.25, 0.45 |
| FeCo | 0.53 |
| NiMnSb | 1, 0.58 |
| PtMnSb | 1 |
| CrO ₂ | 1 |
| Fe ₃ O ₄ | 1 |
| (La _{0.8} Sr _{0.2})MnO ₃ | 1 |

【0021】以上説明したTMR効果を利用して、2つの強磁性体層の磁化方向を、0あるいは1に対応させてデータを記憶する装置がMRAM（Magnetic Random AccessMemory）である。

【0022】従って、MTJの2つの強磁性体層の一方のみ磁化方向を変えたいが、図67の構造では磁界をかけると両方の強磁性体層とも磁化の方向が変わってしまう場合がある。そこで、一方の強磁性体層の磁化方向を固定する目的で、図71に示すように、一方の強磁性体層の上に反強磁性体層が形成された構造が提案されている。

【0023】図71において、絶縁層TBを強磁性体層FM21およびFM22で挟み、強磁性体層FM21の上部には反強磁性体層AFが配設されている。なお、反強磁性体層AFには直流電源の正電極を、強磁性体層FM22には負電極を接続している。

【0024】強磁性体と反強磁性体を隣接して形成すると、両者を貫く磁束が閉じることにより磁化の方向が固定される。この構造をスピニバルブ型強磁性トンネル接合素子と呼称する。

【0025】また、図72にスピニバルブ型強磁性トンネル接合素子の変形例の構成を示す。図72において、絶縁層TBを強磁性体層FM21およびFM22で挟み、強磁性体層FM21の上部には反強磁性体層AFを配設し、強磁性体層FM22の下部には強磁性体層FM23を配設している。

【0026】ここで、反強磁性体層AFは、例えばIr（イリジウム）を20～30atom.%含むIrMnで構成され、強磁性体層FM21の磁化の方向を固定するが、磁化の方向は外部磁界に対して反転しにくい方が良いので、強磁性体層FM21としては保磁力が大きなCoFeが用いられている。

【0027】また、式（1）を用いて説明したように、トンネル磁気抵抗変化率（TMR R）はスピニ分極率が大きい方が大きくなるので、スピニ分極率が大きい材料としてCoFeが用いられている。

【0028】一方、強磁性体層FM22にも同じCoFe

e が用いられているが、強磁性体層 FM 2 2 はなるべく小さな外部磁界により磁化の方向が制御できるように、保磁力が小さな材料の方が望ましい。

【0029】図 7 2 の構成においては、強磁性体層 FM 2 2 の磁化の向きを反転しやすくする目的で、強磁性体層 FM 2 3 として保磁力とスピンドル率が小さな Ni₈₀Fe₂₀ (パーマロイ) を使用する。これにより、強磁性体層 FM 2 2 は小さな外部磁界で磁化の向きを反転させることができる。

【0030】図 7 3 は図 7 2 に示すスピンドル型強磁性トンネル接合素子の実際的な構造を示し、図 7 4 は当該構造における TMR の実測特性を示している。

【0031】図 7 3 において、基板 BD 上に平面的に配設された反強磁性体層 AF および強磁性体層 FM 2 1 の積層体上部に絶縁層 TB が配設され、絶縁層 TB の上部に強磁性体層 FM 2 3 が配設されている。このような構成において、外部磁界を印加して、磁気抵抗 MR の変化を測定した結果が図 7 4 である。

【0032】図 7 4 においては、横軸に磁界 (1 エルステッド=約 79 A/m で換算) 、縦軸にトンネル磁気抵抗率 (TMR R) を示している。図 7 4 からは、TMR R が 36 % の値を実現していること、磁化の方向の反転に必要な磁界が約 30 (× 79 A/m) 程度と低いこと、磁界の方向に対して対称なヒステリシスが得られていることが判る。

【0033】<MRAM の構造と動作原理> MRAM ではメモリセルを構成する磁気トンネル接合素子の 2 つの強磁性体の磁化の方向が同じ、あるいは、相反する方向になるように外部磁界で制御し、磁化の方向が同じ、あるいは、相反する方向の状態を 0 、あるいは 1 に対応させてデータを記憶する。

【0034】記憶されたデータは、メモリセルに所定の電流を流してトンネル磁気抵抗の両端電圧をセンスすることにより読み出すことができる。そして、トンネル磁気抵抗値の変化率 (TMR R) が大きいほどセンスしやすいので、スピンドル率が大きな強磁性体材料が MRAM には有利である。

【0035】また、データの書き込みは、配線 (ワード線およびビット線) に所定電流を流して発生した磁界を用いて、一方の強磁性体の磁化の方向を変えれば良い。

【0036】<MRAM セルの構造> 以下、MRAM の従来例として、米国特許 USP 5,793,697 で公開されている MRAM について構造および動作を説明する。

【0037】図 7 5 は MRAM セルアレイとセルを示す斜視図である。図 7 5 において、互いに平行に配設されたワード線 1 、 2 および 3 の上部において交差するように、ビット線 4 、 5 および 6 が互いに平行に配設されている。

【0038】そして、ワード線およびビット線で挟まれ

る各交点に MRAM セル (以後、単にセルと呼称する場合もあり) 9 が形成されている。図 7 5 において拡大図として示すように、MRAM セル 9 はワード線の上にシリコン pn 接合ダイオード 7 と磁気トンネル接合素子 (MTJ) 8 が積層された構造である。

【0039】図 7 6 は MRAM セル 9 の断面構造を示す模式図である。なお、図 7 6 においてはワード線 3 上の MRAM セル 9 を例示しており、シリコン基板 80 の上にワード線 3 が配設され、その上に n+シリコン層 10 と p+シリコン層 11 が積層され、pn 接合ダイオード 7 が形成されている。pn 接合ダイオード 7 はシリコン酸化膜 13 等の絶縁膜で被覆される。

【0040】そして、pn 接合ダイオード 7 の上部にはタンゲステンスタッド 12 が配設され、pn 接合ダイオード 7 はタンゲステンスタッド 12 を介して MTJ 8 に電気的に接続されている。なお、シリコン酸化膜 13 はタンゲステンスタッド 12 も覆うように配設され、タンゲステンスタッド 12 とシリコン酸化膜 13 の表面は CMP (Chemical Mechanical Polishing) で平坦化されている。

【0041】MTJ 8 は積層構造であり、下から順に、白金 (Pt) で構成されるテンプレート層 15 (膜厚 10 nm) 、 Ni₈₁Fe₁₉ のパーマロイで構成される初期強磁性体層 16 (膜厚 4 nm) 、 Mn₅₄Fe₄₆ で構成される反強磁性体層 18 (膜厚 10 nm) 、 CoFe あるいは Ni₈₁Fe₁₉ のパーマロイで構成され、磁化方向が固定された強磁性体層 20 (膜厚 8 nm) 、 Al₂O₃ で構成されるトンネルバリア層 22 、 膜厚 2 nm の CoFe と膜厚 20 nm の Ni₈₁Fe₁₉ の多層膜で構成されるソフトラスト強磁性体層 24 、 Pt で構成されるコンタクト層 25 を備えている。

【0042】なお、トンネルバリア層 22 は、膜厚 1 ~ 2 nm の Al を堆積後、プラズマ酸化法により 100 m Torr の酸素圧力下で 25 W/cm² のパワー密度で 60 ~ 240 秒間処理して形成される。

【0043】また、図 7 6 には示さないが、実際には基板 80 上のシリコン酸化膜 13 の全面に 1 つの大きな MTJ を形成し、これをフォトレジストマスクを用いてアルゴンイオンミリングでパターニングして、図 7 6 に示す小さな MTJ 8 を複数の形成する。個々の MTJ 8 はシリコン酸化膜 26 で被覆されている。また、図 7 6 には示されていないが、コンタクト層 25 はビット線に接続する。

【0044】MTJ 8 の磁気トンネル抵抗は、先に説明したようにソフトラスト強磁性体層 24 の磁化の方向が、強磁性体層 20 の磁化の方向と同じである場合と、反対方向を向いている場合とで異なる。ソフトラスト強磁性体層 24 の磁化の方向は、ビット線とワード線を流れる電流により生成された磁界で変化させることができる。

【0045】また、MTJ 8 の磁気トンネル抵抗は、ト

ンネルバリア層22の膜厚、および、そのバリアハイトと、接合の下の界面のラフネス等の膜の材質特性にも大きく依存する。

【0046】ソフト強磁性体層24は、イージーアクシス(easy axis)と呼称される磁化の容易な方向を持つように形成される。このイージーアクシスに沿う磁化の方向は2方向となり、それぞれメモリセルの0および1の2つのデータに対応させることができる。

【0047】一方、強磁性体層20は、磁化の方向がソフト強磁性体層24のイージーアクシスと同じで、かつ、MRAMの動作状態によらず方向を変えないように形成される。

【0048】この磁化の方向を固定磁化の方向(unidirectional anisotropy direction)の便宜的な訳語)と言う。ソフト強磁性体層24のイージーアクシスは、MTJ8の真性異方性(intrinsic anisotropy)、応力誘起異方性(stress induced anisotropy)、形状に起因する異方性を組み合わせて定められる。

【0049】ここで、真性異方性とは、強磁性体が有する物性本来の磁化の異方性を意味し、応力誘起異方性とは、強磁性体に応力を加えた場合に生じる磁化の異方性を意味する。

【0050】また、図75に示すように、MTJ8は平面視形状が、長辺長さL、短辺長さWの長方形をして いる。これは、MTJ8の形状に起因する異方性を利用して、ソフト強磁性体層24のイージーアクシスを定めているためである。

【0051】次に、強磁性体層20の固定磁化の方向の設定方法を説明する。テンプレート層15上に堆積形成される初期強磁性体層16は、結晶方位が $\langle 111 \rangle$ 方位となる面($\langle 111 \rangle$ 面)を上にして成長する。また、MnFeで構成される反磁性体層18は、初期強磁性体層16の上に堆積される。

【0052】これらの磁性体層は、後に堆積されるソフト強磁性体層24のイージーアクシスの方向と同じ方向に向いた磁界の下で堆積され、これにより、ソフト強磁性体層24の固定磁化の方向が定められる。

【0053】また、強磁性体層20と反磁性体層18との間で磁束が閉じるために、強磁性体層20の磁化の方向は、ソフト強磁性体層24のそれよりも、外部磁界によって方向を変えにくくなり、ワード線とビット線を流れる電流により発生する磁界の大きさの範囲では、強磁性体層20の磁化の方向は固定される。さらに、MTJ8の平面視形状を長方形にしているため、強磁性体層20の形状に起因する磁化異方性が発生し、このことも強磁性体層20の磁化の方向の安定に貢献している。

【0054】<MRAMの書き込み／読み出し動作の概要>以下、MRAMの書き込みおよび読み出し動作について説明する。アドレス選択を行うためのワード線およびビット線(選択ワード線および選択ビット線と呼称)

に所定の電流を流すと、各線の周りに磁界が発生し、両線の交差部(選択アドレス)では各磁界が結合した結合磁界が発生する。この磁界が印加されると両線の交差部に設置されているMTJ8のソフト強磁性体層24の磁化の方向が層の面内で回転し、データの書き込みが行われる。

【0055】この磁界の大きさはソフト強磁性体層24のスイッチング磁界(磁化の方向が反転し始める磁界)よりも大きくなるように設計され、主にソフト強磁性体層24の保磁力と磁化異方性で決まる。

【0056】また、選択ワード線および選択ビット線の周囲に発生する磁界は、強磁性体層20の固定磁化の方向を回転させないように、十分小さく設計しなければならない。なぜならば、半選択(Half select)セルの磁化の方向を変えないためである。なお、半選択セルとは、その上下に位置するワード線およびビット線の一方にしか電流が流れていらないセルである。

【0057】このように、メモリセルアレイのアーキテクチャは、書き込み時の消費電力を低減するため、書き込み電流がMTJ8に直接に流れないように設計される。

【0058】また、MRAMセル9に書き込まれたデータは、pn接合ダイオード7とMTJ8とを垂直に流れる電流をセンスすることにより読み出される。なお、動作時にはMRAMセル9中をトンネル電流が縦に流れるので、MRAMセル9の占有面積を小さくすることができる。

【0059】MTJ8のAl₂O₃で構成されるトンネルバリア層22の抵抗は、膜厚に対してほぼ指數関数的に変化する。すなわち、トンネルバリアを流れる電流は膜厚が厚くなると低減し、接合をトンネルする電流だけが接合に対して垂直に流れる。

【0060】そして、MRAMセル9のデータは、書き込み電流よりもはるかに小さいセンス電流がMTJ8を垂直に流れるときに発生するMRAMセル9の電圧をモニタすることで読み出される。

【0061】先に説明したように、MTJ8のトンネル確率は、始状態におけるソフト強磁性体層24中のスピニの極性と同じ極性のスピニの状態密度が、終状態における強磁性体層20中において多く存在するほど増加する。

【0062】従って、MTJ8の磁気トンネル抵抗は、ソフト強磁性体層24と強磁性体層20のスピニの状態が同じである場合、すなわち、磁化の方向が両層で同じである場合には低く、磁化の方向が反対である場合には高くなる。それゆえ、MTJ8の抵抗を微小電流でモニタすればMRAMセル9のデータを読み出すことができる。

【0063】なお、センス電流が発生する磁界は無視でき、MRAMセル9の磁化の状態に影響を与えない。ま

た、MRAMセル9の読み出し／書き込みに必要な配線は、図75に示したビット線とワード線のアレイのみであるので、効率の良いメモリセルアレイを構成することができる。

【0064】<書き込み動作>以下、MRAMの書き込み動作について図77および図78を用いてさらに説明する。

【0065】図77は、図75に示すメモリセルアレイの等価回路図であり、ワード線1～3の両端は、それぞれワード線制御回路53接続され、ビット線4～6の両端は、それぞれビット線制御回路51に接続されている。なお、図78の説明の便宜を図るために、ワード線1～3をワード線WL1～WL3、ビット線4～6をビット線BL4～BL6として示す場合もある。

【0066】そして、ワード線1～3およびビット線4～6の交点には、抵抗記号で表されるMTJ8およびダイオード記号で表されるpn接合ダイオード7が配設されている。

【0067】ここで、ワード線1およびビット線4を選択する場合を想定すると、両者の交点に位置するMRAMセル9aが選択される。

【0068】選択されたMRAMセルセル9aは、ビット線4を流れる電流IBと、ワード線1を流れる電流IWにより発生した結合磁界で書き込まれる。

【0069】電流IBおよびIWのどちらか一方がセル領域内で単独に発生する磁界は、MTJ8のソフト強磁性体層24セルの磁化の方向を変えるのに必要な磁界よりも小さい。

【0070】それゆえ、半選択セルであるMRAMセル9b～9e（ワード線およびビット線に、電流IBかIWのどちらか一方しか流れないセル）には書き込みは行われない。

【0071】しかしながら、電流IBおよびIWによる磁界が結合されると、選択されたメモリセル9aのソフト強磁性体層24の磁化の方向を変えるのに十分な大きさとなる。

【0072】なお、セル9aのソフト強磁性体層24の磁化方向を、相反する2つの異なる磁化方向にできるように、電流IBおよびIWの少なくとも一方は、双方向に流れるように設計される。なお、図77においては、ビット線制御回路51もワード線制御回路53も2つペアで構成されているので、電流IBおよびIWは両方とも、電流の向きを変えることができる。

【0073】図78はビット線4～6（ビット線BL4～BL6）およびワード線1～3（ワード線WL1～WL3）の電圧および電流のタイミングチャートを示している。

【0074】図78に示すように、書き込み時のビット線BL4～BL6の電圧は、電流を双方向に流すのに都合が良い電圧Vbに設定される。また、ワード線WL1

～WL3の電圧は電圧Vwより大きく、かつ、正の電圧Vwに設定される。

【0075】スタンバイ時には、これらの電圧はすべてのセル9のpn接合ダイオード7に逆バイアスがかかるよう設定される。従って、スタンバイ時に電流IBおよびIWがメモリセル内を流れることはない。

【0076】<読み出し動作>次に、MRAMの読み出し動作について図77および図78を用いてさらに説明する。図78に示すようにワード線WL1の電圧をVwからVbに下げ、ビット線BL4の電圧をVbからVwに上げて、選択されたセル9aのpn接合ダイオード7に順バイアスを印加する。

【0077】読み出し中は、非選択ビット線5および6はスタンバイ電圧Vbのままであり、非選択ワード線WL2および3はスタンバイ電圧Vwのままである。

【0078】なお、半選択セル9b～9eにおいてはワード線からビット線への電圧降下がない（すなわち、pn接合ダイオード7に0Vが印加される）ので、セル内を電流が流れることはない。

【0079】選択セル9aの磁気トンネル抵抗により、ビット線BL4からセル9aを通ってワード線WL1へ流れるセンス電流30（図77参照）の大きさが決定される。ビット線制御回路51の一部を構成するセンス回路において、セルの2つの状態に対応して予測される2つの電流値の平均値を参照電流とし、センス電流と比較する。そして、両電流の差を増幅して、選択セル9aに蓄えられているデータを読み出す。

【0080】なお、図77のセンス電流30の波形に示すように、センス電流30は、MTJ8の2つの磁化状態に相当する2種類の電流波形を呈する。

【0081】データ読み出し後、ビット線BL4とワード線WL1の電圧は、それぞれのスタンバイ値に戻されるが、メモリセル9aの磁化状態は、読み出し動作後も維持される。

【0082】

【発明が解決しようとする課題】以上説明したように、MRAMセルへの書き込み時には、ビット線とワード線に電流を流して磁界を発生させる。そして、選択アドレスのメモリセルには、セルを構成するソフト強磁性体層のスイッチング磁界より大きな磁界を与える必要があるため、比較的大きな電流を流す必要があった。そのため、書き込み時の消費電力が大きくなるという問題点があった。

【0083】本発明は上記のような問題点を解消するためになされたもので、書き込み時の消費電力を低減したMRAMを提供することを第1の目的とする。

【0084】また、従来のMRAMセルアレイでは、少なくとも1つのメモリセルアレイで構成されるメモリブロック単位で一括してデータを消去、あるいは、書き込みするには時間がかかるという問題点があった。

【0085】本発明は、消去および書き込みに費やす時間を低減したMRAMを提供することを第2の目的とする。

【0086】

【課題を解決するための手段】本発明に係る請求項1記載の磁気記憶装置は、非接触で交差して、マトリックスを構成する複数のビット線および複数のワード線と、前記複数のビット線と前記複数のワード線との交差部にそれぞれ配設され、少なくとも1つの磁気トンネル接合を含む複数のメモリセルとを備えた磁気記憶装置であって、前記複数のメモリセルは、前記複数のビット線のうちの1本および前記複数のワード線のうちの1本の間にそれぞれ配設され、前記少なくとも1つの磁気トンネル接合は、磁化の方向が変更可能なソフト強磁性体層を有し、前記少なくとも1つの磁気トンネル接合は、前記ソフト強磁性体層の磁化の容易な方向であるイージーアクシスが、前記複数のビット線および前記複数のワード線の延在方向に対して40～50度の角度を有するように配設される。

【0087】本発明に係る請求項2記載の磁気記憶装置は、前記磁気トンネル接合が、前記イージーアクシスに平行な辺が、前記イージーアクシスに直交する辺よりも長くなるように、平面視形状が矩形に構成されている。

【0088】本発明に係る請求項3記載の磁気記憶装置は、非接触で交差して、マトリックスを構成する複数のビット線および複数のワード線と、前記複数のビット線と前記複数のワード線との交差部にそれぞれ配設され、少なくとも1つの磁気トンネル接合を含む複数のメモリセルとを備えた磁気記憶装置であって、前記複数のビット線の第1の端部にそれぞれ接続され、前記第1の端部と第1の電源あるいは第2の電源との電気的な接続を切り替え可能な複数の第1の切り替え手段と、前記複数のビット線の第2の端部にそれぞれ接続され、前記第2の端部と前記第1の電源あるいは前記第2の電源との電気的な接続を切り替え可能な複数の第2の切り替え手段とを備えている。

【0089】本発明に係る請求項4記載の磁気記憶装置は、前記第1の切り替え手段が、前記複数のビット線の第1の端部にそれぞれの第1の主電極が接続され、それぞれの第2の主電極が、前記第1の電源および前記第2の電源に接続された同一導電型の第1および第2のMOSトランジスタを有し、前記第2の切り替え手段は、前記複数のビット線の第2の端部にそれぞれの第1の主電極が接続され、それぞれの第2の主電極が、前記第1の電源および前記第2の電源に接続された同一導電型の第3および第4MOSトランジスタを有する。

【0090】本発明に係る請求項5記載の磁気記憶装置は、前記第1の切り替え手段が、前記複数のビット線の第1の端部にそれぞれの第1の主電極が接続され、それぞれの第2の主電極が、前記第1の電源および前記第2

の電源に接続された導電型の異なる第1および第2のMOSトランジスタを有し、前記第2の切り替え手段は、前記複数のビット線の第2の端部にそれぞれの第1の主電極が接続され、それぞれの第2の主電極が、前記第1の電源および前記第2の電源に接続された導電型の異なる第3および第4のMOSトランジスタを有する。

【0091】本発明に係る請求項6記載の磁気記憶装置は、前記第1および第2のMOSトランジスタのそれぞれ前記第1の主電極間に接続された、前記第2のMOS

10トランジスタと同一導電型の第5のMOSトランジスタと、前記第3および第4のMOSトランジスタのそれぞれ前記第1の主電極間に接続された、前記第4のMOSトランジスタと同一導電型の第6のMOSトランジスタと、をさらに備え、前記第5および第6のMOSトランジスタの制御電極は、常時オン状態となる所定電圧を与える第3の電源に接続される。

【0092】本発明に係る請求項7記載の磁気記憶装置は、非接触で交差して、マトリックスを構成する複数のビット線および複数のワード線、および、前記複数のビ

20ット線と前記複数のワード線との交差部にそれぞれ配設され、少なくとも1つの磁気トンネル接合を含む複数のメモリセル、で構成される複数のメモリセルアレイと、前記複数のメモリセルアレイに渡る複数のメインワード線と、前記複数のメモリセルアレイの個々に対応して配設された複数のメモリセルアレイ選択線とを有した、少なくとも1つのメモリセルアレイ群を備え、前記複数のワード線は、前記複数のメインワード線と前記複数のメモリセルアレイ選択線との交差部にそれぞれ設けられた第1の組み合わせ論理ゲートの出力にそれぞれ接続され、前記第1の組み合わせ論理ゲートの入力は、交差状態にある前記複数のメインワード線の1本と前記複数のメモリセルアレイ選択線の1本とに接続される。

【0093】本発明に係る請求項8記載の磁気記憶装置は、前記少なくとも1つのメモリセルアレイ群を複数有し、前記複数のメモリセルアレイ群に渡る複数のグローバルワード線と、前記複数のメモリセルアレイ群の個々に対応して配設された複数のメモリセルアレイ群選択線とをさらに有し、前記複数のメインワード線は、前記複数のグローバルワード線と前記複数のメモリセルアレイ群選択線との交差部にそれぞれ設けられた第2の組み合

40わせ論理ゲートの出力にそれぞれ接続され、前記第2の組み合わせ論理ゲートの入力は、交差状態にある前記複数のグローバルワード線の1本と前記複数のメモリセルアレイ群選択線の1本とに接続される。

【0094】本発明に係る請求項9記載の磁気記憶装置は、非接触で交差して、マトリックスを構成する複数のビット線および複数のワード線、前記複数のビット線と前記複数のワード線との交差部にそれぞれ配設され、少なくとも1つの磁気トンネル接合を含む複数のメモリセルで構成される複数のメモリセルアレイと、前記複数の

メモリセルアレイに渡る複数のメインビット線と、前記複数のメモリセルアレイの個々に対応して配設された複数のメモリセルアレイ選択線とを有した、少なくとも1つのメモリセルアレイ群とを備え、前記複数のビット線は、前記複数のメインビット線と前記複数のメモリセルアレイ選択線との交差部にそれぞれ設けられた第1の組み合わせ論理ゲートの出力にそれぞれ接続され、前記第1の組み合わせ論理ゲートの入力は、交差状態にある前記複数のメインビット線の1本と前記複数のメモリセルアレイ選択線の1本とに接続される。

【0095】本発明に係る請求項10記載の磁気記憶装置は、前記少なくとも1つのメモリセルアレイ群を複数有し、前記複数のメモリセルアレイ群に渡る複数のグローバルビット線と、前記複数のメモリセルアレイ群の個々に対応して配設された複数のメモリセルアレイ群選択線とをさらに有し、前記複数のメインビット線は、前記複数のグローバルビット線と前記複数のメモリセルアレイ群選択線との交差部にそれぞれ設けられた第2の組み合わせ論理ゲートの出力にそれぞれ接続され、前記第2の組み合わせ論理ゲートの入力は、交差状態にある前記複数のグローバルビット線の1本と前記複数のメモリセルアレイ群選択線の1本とに接続される。

【0096】本発明に係る請求項11記載の磁気記憶装置は、非接触で交差して、マトリックスを構成する複数のビット線および複数のワード線、および、前記複数のビット線と前記複数のワード線との交差部にそれぞれ配設され、少なくとも1つの磁気トンネル接合を含む複数のメモリセルで構成されるメモリセルアレイと、インダクタとを備え、前記少なくとも1つの磁気トンネル接合は、磁化の方向が変更可能なソフト強磁性体層を有し、前記インダクタは、前記ソフト強磁性体層の磁化の容易な方向であるイージーアクシスに沿った方向に磁界を発生させる。

【0097】本発明に係る請求項12記載の磁気記憶装置は、前記少なくとも1つの磁気トンネル接合が、前記イージーアクシスが、前記複数のビット線または前記複数のワード線の延在方向に合致するように配設され、前記インダクタは、前記イージーアクシスの方向と合致する前記複数のビット線または前記複数のワード線の延在方向に沿って、前記メモリセルアレイを取り巻くように配設されたコイル状のインダクタである。

【0098】本発明に係る請求項13記載の磁気記憶装置は、非接触で交差して、マトリックスを構成する複数のビット線および複数のワード線、および、前記複数のビット線と前記複数のワード線との交差部にそれぞれ配設され、少なくとも1つの磁気トンネル接合を含む複数のメモリセルで構成される少なくとも1つのメモリセルアレイと、前記少なくとも1つのメモリセルアレイの、前記複数のビット線および前記複数のワード線の外側にそれぞれ設けられ、前記複数のビット線および前記複数

のワード線の形成領域を覆う平板状の少なくとも1つのフラッシュビット線と、少なくとも1つのフラッシュワード線とを備えている。

【0099】本発明に係る請求項14記載の磁気記憶装置は、前記少なくとも1つのメモリセルアレイを複数有し、前記複数のメモリセルアレイはマトリックス状に配設され、前記少なくとも1つのフラッシュビット線および、少なくとも1つのフラッシュワード線は、前記複数のメモリセルアレイの配列に沿って、マトリックスを構成するようにそれぞれ複数配設される。

【0100】本発明に係る請求項15記載の磁気記憶装置は、非接触で交差して、マトリックスを構成する複数のビット線および複数のワード線、および、前記複数のビット線と前記複数のワード線との交差部にそれぞれ配設され、少なくとも1つの磁気トンネル接合を含む複数のメモリセルで構成されるメモリセルアレイと、前記複数のビット線および複数のワード線の少なくとも1方の2つの端部にそれぞれ配設され、選択されたビット線およびワード線の少なくとも1方に流れる電流を、LC共振によって保存する少なくとも1つのインダクタと、少なくとも1つのキャパシタとを備えている。

【0101】本発明に係る請求項16記載の磁気記憶装置は、前記少なくとも1つのインダクタおよび、前記少なくとも1つのキャパシタを複数有し、前記複数のビット線は、2つが対となって複数のビット線対を構成し、前記複数のインダクタは、前記複数のビット線対のそれぞれに対応して、ビット線間に電気的に接続されるように配設された複数の第1のインダクタを含み、前記複数のキャパシタは、前記複数のインダクタの配設側とは反対の端部において、前記複数のビット線のそれぞれに対応して電気的に接続される複数の第1のキャパシタを含んでいる。

【0102】本発明に係る請求項17記載の磁気記憶装置は、前記複数のワード線が、2つが対となって複数のワード線対を構成し、前記複数のインダクタは、前記複数のワード線対のそれぞれに対応して、ワード線間に電気的に接続されるように配設された複数の第2のインダクタをさらに含み、前記複数のキャパシタは、前記複数のインダクタの配設側とは反対の端部において、前記複数のワード線のそれぞれに対応して電気的に接続される複数の第2のキャパシタをさらに含んでいる。

【0103】本発明に係る請求項18記載の磁気記憶装置は、少なくとも1つの半導体チップと、導体で構成され、前記少なくとも1つの半導体チップを収納する遮蔽体と、樹脂で構成され、前記遮蔽体を収納するパッケージと、前記パッケージの開口部を閉じて密閉する底面基板と、前記底面基板の外側主面に配設され、前記少なくとも1つの半導体チップと外部との信号伝送を行う信号伝送用アンプと、前記信号伝送用アンプを囲むように配設され、前記遮蔽体に電気的に接続される遮蔽用アンプ

と、を備え、前記少なくとも1つの半導体チップは、少なくとも1つの磁気トンネル接合を含む複数のメモリセルを有して構成されるメモリセルアレイを備えた磁気記憶チップを含んでいる。

【0104】本発明に係る請求項19記載の磁気記憶装置は、前記遮蔽体の開口部端縁の内側および外側に配設された第1の応力緩和膜と、前記遮蔽体の内壁に配設された第2の応力緩和膜とをさらに備えている。

【0105】本発明に係る請求項20記載の磁気記憶装置は、前記少なくとも1つの半導体チップが、前記メモリセルアレイの周辺回路を含む回路チップをさらに含み、前記磁気記憶チップおよび前記回路チップは上下に重ねられて前記遮蔽体内に収納される。

【0106】本発明に係る請求項21記載の磁気記憶装置は、少なくとも1つの磁気トンネル接合が、磁化の方向が変更可能なソフト強磁性体層を有し、前記遮蔽体は、前記ソフト強磁性体層と同等か、それよりも大きな透磁率を有する強磁性体で構成されている。

【0107】本発明に係る請求項22記載の磁気記憶装置は、前記遮蔽体が反強磁性体で構成されている。

【0108】本発明に係る請求項23記載の磁気記憶装置は、前記遮蔽体が、強磁性体と反強磁性体との多層膜で構成されている。

【0109】本発明に係る請求項24記載の磁性体基板は、主面全域に配設された、少なくとも1つの磁気トンネル接合を形成する多層膜を少なくとも有している。

【0110】本発明に係る請求項25記載の磁性体基板は、前記多層膜が、前記少なくとも1つの磁気トンネル接合として、順に配設された反磁性体層、強磁性体層、絶縁体で構成されるトンネルバリア層およびソフト強磁性体層を含んでいる。

【0111】本発明に係る請求項26記載の磁性体基板は、前記多層膜が、前記少なくとも1つの磁気トンネル接合の下部に配設され、p n接合を構成する第1導電型不純物層と第2導電型不純物層との2層膜をさらに含んでいる。

【0112】本発明に係る請求項27記載の磁性体基板は、土台となる基板部と、該基板部上に配設された埋め込み酸化膜と、該埋め込み酸化膜上に配設されたSOI層とを備えるSOI基板上に前記多層膜を有している。

【0113】

【発明の実施の形態】<A. 実施の形態1>

<本実施の形態の特徴>本発明の実施の形態1に係るMRAMは、MRAMセルを構成するソフト強磁性体層のイージーアクシスがビット線およびワード線と非平行であり、より具体的には、ビット線およびワード線と40～50度の角度をなすようにMRAMセルを配設することを特徴とする。

【0114】<A-1. 装置構成>

<A-1-1. MRAMセルの構成>まず、MRAMセ

50

ルの代表的な構成について図1を用いて説明する。図1に示すMRAMセルMCは、n+シリコン層10およびp+シリコン層11が積層されて構成されるp n接合ダイオード7を有している。

【0115】そして、p n接合ダイオード7の上部にはタングステンスタッフ12が配設され、p n接合ダイオード7はタングステンスタッフ12を介して磁気トンネル接合(Magnetic Tunnel Junction: MTJ)8に電気的に接続されている。

10

【0116】MTJ8は積層構造であり、下から順に、白金(Pt)で構成されるテンプレート層15(膜厚10nm)、Ni₈₁Fe₁₉のパーマロイで構成される初期強磁性体層16(膜厚4nm)、Mn₅₄Fe₄₆で構成される反磁性体層18(膜厚10nm)、CoFeあるいはNi₈₁Fe₁₉のパーマロイで構成され、磁化方向が固定された強磁性体層20(膜厚8nm)、Al₂O₃で構成されるトンネルバリア層22、膜厚2nmのCoFeと膜厚20nmのNi₈₁Fe₁₉の多層膜で構成されるソフト強磁性体層24、Ptで構成されるコンタクト層25を備えている。

20

【0117】MTJ8を含めてMRAMセルMCの平面視形状は長方形であり、その長辺に平行な方向が、ソフト強磁性体層24の電子のスピンの方向におけるイージーアクシスとなるように設定されている。なお、短辺に平行な方向が、磁化の困難な方向であるハードアクシス(hard axis)となる。

30

【0118】<A-1-2. 従来のMRAMセルアレイの詳細な検討>図2に、従来のMRAMセルアレイの平面構成を示す。なお、MRAMセルMC1は便宜的に斜視図として示している。

【0119】図2に示すように、互いに平行に配設された複数のワード線WL1の上部において交差するように、互いに平行に配設された複数のビット線BL1が配設されている。

40

【0120】そして、ワード線およびビット線で挟まれる各交点にMRAMセル(以後、単にセルと呼称する場合もあり)MC1が形成されている。なお、各MRAMセルMC1に模式的に示す矢印は、MRAMセルMC1のソフト強磁性体層24のスピンの方向を示しており、図2に示すスタンバイ状態では全てのMRAMセルMC1のスピン方向が右向きになっている。なお、MRAMセルMC1の構成は、例えば図1に示すメモリセルMCと同様とするが、この構成に限定されるわけではない。

【0121】図3は従来のMRAMセルアレイにおいて、書き込みの状態を模式的に示す平面図である。なお、以下においては、MRAMセルMC1に便宜的にMC1a、MC1b、MC1cの符号を付して区別する場合もある。

【0122】書き込み時に、アドレス選択を行うためのワード線およびビット線(選択ワード線および選択ビッ

ト線と呼称) に所定の電流を流すと、ビオ・サバール (Biot-Savart) の法則により、電流の周りには磁界が発生する。

【0123】ここで、ビット線の周りに発生する磁界を H_x 、ワード線の周りに発生する磁界を H_y とする。そして、便宜的に、選択ワード線および選択ビット線を、それぞれ WL_{1a} および BL_{1a} として表記する。

【0124】なお、図3における電流の流れる方向は、選択ビット線 BL_{1b} においては下から上に、選択ワード線 WL_{1a} においては左から右である。

【0125】選択ワード線 WL_{1a} および選択ビット線 BL_{1b} に所定の電流を流すと、両線の交差部 (選択アドレス) では磁界 H_x および H_y が結合する。この結合磁界が印加されると、選択ワード線 WL_{1a} および選択ビット線 BL_{1b} の交差部に設置されているMRAMセルMC1aのソフト強磁性体層24の磁化の方向が層の面内で回転し、データの書き込みが行われる。図3においては、MRAMセルMC1aのスピニン方向が90度以上回転して示されている。

【0126】そして、セル形状による磁化異方性により、イージーアクシスの方へスピニンが回転するため、最終的にはスピニンは反転 (180度回転) することになる。

【0127】一方、その上下に位置するワード線およびビット線の一方にしか電流が流れていらない半選択 (half-select) 9セルであるMRAMセル、すなわち図3に示す、複数のMRAMセルMC1bにおいても、ソフト強磁性体層24のスピニンが回転するが、反転には至らないよう、各電流が設定されている。

【0128】なお、選択ビット線 BL_{1a} による複数の半選択セルMC1cは、選択ビット線 BL_{1a} の周りに発生する磁界 H_x が、イージーアクシスの方向と同じであるので、磁界 H_x だけでは図3上に表示するほどの大きな回転は起こせない。

【0129】図4に、スピニンを反転させるのに必要な磁界 H_k を、磁界 H_x と H_y との結合磁界で形成する場合の上記3磁界の関係を示す。図4において横軸に磁界 H_k を、縦軸に磁界 H_y を示している。また、当該関係を以下に数式で表す。

【0130】

【数3】

$$H_x^{2/3} + H_y^{2/3} = H_k^{2/3} \quad \dots (3)$$

【0131】図4における曲線はアステロイド曲線と呼称される。そして、磁界 H_k が下記数式 (4) で表される場合、ソフト強磁性体層24のスピニンは反転する。

【0132】

【数4】

$$H_x^{2/3} + H_y^{2/3} > H_k^{2/3} \quad \dots (4)$$

【0133】また、磁界 H_k が下記数式 (5) で表される場合、ソフト強磁性体層24のスピニンの方向は維持される。

【0134】

【数5】

$$H_x^{2/3} + H_y^{2/3} < H_k^{2/3} \quad \dots (5)$$

【0135】定常電流 I の周りに発生する磁束密度 B は、ビオ・サバールの法則から次に式 (6) で表される。

【0136】

【数6】

$$B(R) = \frac{\mu}{2\pi} \cdot \frac{I}{R} \quad \dots (6)$$

【0137】ここで、 μ は透磁率、 R は電流 I からの距離である。また、磁界 H と磁束密度 B とは、次に式 (7) で表される関係にある。

【0138】

【数7】

$$B = \mu H \quad \dots (7)$$

【0139】従って、以下の数式 (8) が成り立つ。

【0140】

【数8】

$$H(R) = \frac{1}{2\pi} \cdot \frac{I}{R} \quad \dots (8)$$

【0141】上記数式 (8) から、磁界 H は定常電流 I に比例することが判る。従って、書き込み時の消費電力を下げるには、スピニンを反転させるのに必要な磁界 H_k を下げること、すなわち、 $H_x + H_y$ をなるべく小さくすることが望ましい。

【0142】発明者らは上述した従来技術の検討に基づいて、磁界 H_k を低減することができるMRAMセルアレイの構成に到達した。

【0143】<A-1-3. MRAMセルアレイの構成および動作>図5に、本発明の実施の形態1に係るMRAMセルアレイMA10の平面構成を示す。図5に示すように、互いに平行に配設された複数のワード線 WL_{1a} の上部において交差するように、互いに平行に配設された複数のビット線 BL_{1a} が配設されている。

【0144】そして、ワード線およびビット線で挟まれる各交点にMRAMセルMC2が形成されている。なお、MRAMセルMC2の構成は、例えば図1に示すメモリセルMCと同様とするが、この構成に限定されるわけではない。

【0145】図5に示すように、イージーアクシスが、ビット線およびワード線に対して45度傾くように各MRAMセルMC3が配設されている。なお、本例においては、ワード線 WL_{1a} に対しては右斜め上に45度傾けて配設されているので、図5に示すスタンバイ状態では全てのMRAMセルMC2のスピニン方向が右斜め上の向

きになっている。

【0146】図6はMRAMセルアレイMA10の書き込みの状態を模式的に示す平面図である。なお、以下においては、MRAMセルMC2に便宜的にMC2a、MC2b、MC2cの符号を付して区別する場合もある。

【0147】選択ワード線WL1aおよび選択ビット線BL1bに所定の電流を流すと、両線の交差部（選択アドレス）では磁界HxおよびHyが結合する。なお、図6における電流の流れる方向は、選択ビット線BL1bにおいては下から上に、選択ワード線WL1aにおいては左から右である。

【0148】この結合磁界が印加されると、選択ワード線WL1aおよび選択ビット線BL1bの交差部に設置されているMRAMセルMC1aのソフト強磁性体層24の磁化の方向が層の面内で回転し、データの書き込みが行われる。図6においては、MRAMセルMC2aのスピニ方向が90度以上回転して示されている。

【0149】そして、セル形状による磁化異方性により、イージーアクシスの方へスピニが回転するため、最終的にはスピニは反転（180度回転）することになる。

【0150】一方、その上下に位置するワード線およびビット線の一方にしか電流が流れていらない半選択セルであるMRAMセル、すなわち図6に示す、複数のMRAMセルMC2bおよびMC2cにおいても、ソフト強磁性体層24のスピニが回転するが反転には至らないように、各電流が設定されている。

【0151】ここで、選択ビット線BL1aによる複数の半選択セルMC2cは、選択ビット線BL1aの周りに発生する磁界Hxが、イージーアクシスの方向に対して約45度の角度で交差するので、図6に表示するようにソフト強磁性体層24のスピニが回転するが、各電流の大きさを調節することで、スピニを反転させることもできるし、反転させないこともできる。これは、選択ワード線WL1aによる複数の半選択セルMC2bについても同様である。

【0152】<A-1-4. その他の構成例>図7に、実施の形態1のその他の構成例として、MRAMセルアレイMA20の平面構成を示す。図7に示すように、互いに平行に配設された複数のワード線WL1の上部において交差するように、互いに平行に配設された複数のビット線BL1が配設されている。

【0153】そして、ワード線およびビット線で挟まれる各交点にMRAMセルMC3が形成されている。なお、MRAMセルMC3の構成は、例えば図1に示すメモリセルMCと同様とするが、この構成に限定されるわけではない。

【0154】図7に示すように、イージーアクシスが、ビット線およびワード線に対して45度傾くように各MRAMセルMC3が配設されている。なお、本例において

では、ワード線WL1に対しては右斜め下に45度傾けて配設されているので、図7に示すスタンバイ状態では全てのMRAMセルMC3のスピニ方向が右斜め下の向きになっている。

【0155】図8はMRAMセルアレイMA20の書き込みの状態を模式的に示す平面図である。なお、以下においては、MRAMセルMC3に便宜的にMC3a、MC3b、MC3cの符号を付して区別する場合もある。

【0156】選択ワード線WL1aおよび選択ビット線BL1aに所定の電流を流すと、両線の交差部（選択アドレス）では磁界HxおよびHyが結合する。

【0157】なお、図8における電流の流れる方向は、選択ビット線BL1aにおいては下から上に、選択ワード線WL1aにおいては左から右である。

【0158】この結合磁界が印加されると、選択ワード線WL1aおよび選択ビット線BL1aの交差部に設置されているMRAMセルMC3aのソフト強磁性体層24の磁化の方向が層の面内で回転し、データの書き込みが行われる。図8においては、MRAMセルMC3aのスピニ方向が90度以上回転して示されている。

【0159】そして、セル形状による磁化異方性により、イージーアクシスの方へスピニが回転するため、最終的にはスピニは反転（180度回転）することになる。

【0160】一方、図8に示す半選択セルである複数のMRAMセルMC2bおよびMC2cにおいても、ソフト強磁性体層24のスピニが回転するが、反転には至らないように各電流が設定されている。

【0161】<A-1-5. MRAMセルの配設方向の最適化>次に、図9～図25を用いて、MRAMセルの配設方向の最適化について説明する。

【0162】まず、結合磁界Hkによりスピニの方向を反転させる場合について説明する。

【0163】図9および図10に、図2に示す従来のMRAMセルアレイにおける書き込み時の選択アドレスのMRAMセルMC1aのスピニの方向と、それを反転させる結合磁界Hkの方向の関係を模式的に示す。

【0164】図9および図10において、磁界HxおよびHyの大きさが同じ場合を想定すると、スピニと結合磁界Hkがなす角度は $\theta_1 = 135$ 度となる。

【0165】また、図11および図12に、図5に示すMRAMセルアレイMA10における書き込み時の選択アドレスのMRAMセルMC2aのスピニの方向と、それを反転させる結合磁界Hkの方向の関係を模式的に示す。

【0166】図11および図12において、磁界HxおよびHyの大きさが同じ場合を想定すると、スピニと結合磁界Hkがなす角度は $\theta_2 = 90$ 度となる。

【0167】また、図13および図14に、図7に示すMRAMセルアレイMA20における書き込み時の選択

アドレスのMRAMセルMC3aのスピンの方向と、それを反転させる結合磁界Hkの方向の関係を模式的に示す。

【0168】図13および図14において、磁界HxおよびHyの大きさが同じ場合を想定すると、スピンと結合磁界Hkがなす角度は $\theta_3=180$ 度となる。

【0169】次に、図15に、結合磁界Hkと、磁界HxおよびHyとの関係を示す。この関係は図4においてアステロイド曲線として示したものと同じであるが、 $|H_x| + |H_y| = \text{一定}$ という条件下で、すなわち、一定の書き込み電流という条件下で、アステロイド曲線上の磁界HxおよびHyを求めるとき、 $H_x = H_y = H_k / 2\sqrt{2}$ の関係が得られる。

【0170】これに基づけば、図9および図10に示す従来のMRAMセルアレイにおいては、結合磁界Hkによりスピンを約135度回転させ、そこから180度までは形状による磁化異方性を利用してスピンを回転させている。

【0171】一方、図11および図12に示すMRAMセルアレイMA10においては、同じ結合磁界の大きさでスピンが約90度回転する。従って、形状による磁化異方性を利用して、スピンが反転するかどうか臨界の状態である。それゆえ、MRAMセルアレイMA10の構成を探る場合には、磁界Hxを磁界Hyよりも若干大きくして、スピンの回転角 θ_2 を90度以上にすることが望ましい。

【0172】なお、図13および図14に示すMRAMセルアレイMA20においては、同じ結合磁界の大きさでスピンが約180度回転するので、確実にスピンを反転することができる。

【0173】次に、結合磁界Hkが加わってもスピンの方向を維持させる場合について、スピンの方向と、それを維持する結合磁界Hkの方向の関係を図16～図21に模式的に示す。なお、図16～図21は図9～図14に対応しているので、重複する説明は省略する。

【0174】図16および図17において、磁界HxおよびHyの大きさが同じ場合を想定すると、スピンと結合磁界Hkがなす角度は $\theta_{11}=45$ 度となる。

【0175】図18および図19において、磁界HxおよびHyの大きさが同じ場合を想定すると、スピンと結合磁界Hkがなす角度は $\theta_{12}=0$ 度となる。

【0176】図20および図21において、磁界HxおよびHyの大きさが同じ場合を想定すると、スピンと結合磁界Hkがなす角度は $\theta_{13}=90$ 度となる。

【0177】従って、図16に示す従来のMRAMセルアレイにおいては、スピンの方向はほぼ維持され、また、図18に示すMRAMセルアレイMA10においては、スピンの方向は完全に維持されるように書き込みが行われるが、図20に示すMRAMセルアレイMA20においては、スpinが反転するかどうか臨界の状態であ

り、望ましくない。

【0178】以上の考察から、図13および図20に示すMRAMセルアレイMA20の構成を採用し、ビット線およびワード線に流す電流の向きを考慮することが望ましい。当該構成について図22～図25を用いて説明する。

【0179】図22および図23は、MRAMセルアレイMA20の構成において、図8と同様に電流の流れる方向が、選択ビット線BL1aにおいては下から上に、

10 選択ワード線WL1aにおいては左から右である場合の書き込み時の選択アドレスのMRAMセルMC3aのスピンの方向と、それを反転させる結合磁界Hkの方向の関係を模式的に示している。

【0180】図22および図23において、磁界HxおよびHyの大きさが同じ場合を想定すると、スpinと結合磁界Hkがなす角度は $\theta_4=180$ 度となり、スpinの方向を反転させることでデータを書き込む場合に適した構成であると言える。

【0181】また、図24および図25は、MRAMセルアレイMA20の構成において、電流の流れる方向が、選択ビット線BL1aにおいては上から下に、選択ワード線WL1aにおいては右から左となっている場合の書き込み時の選択アドレスのMRAMセルMC3aのスpinの方向と、それを維持する結合磁界Hkの方向の関係を模式的に示している。

【0182】なお、図22の場合と比べて、ビット線およびワード線に流す電流の向きを変更している。

【0183】図24および図25において、磁界HxおよびHyの大きさが同じ場合を想定すると、スpinと結合磁界Hkがなす角度は $\theta_5=0$ 度となり、スpinの方向を維持することでデータを書き込む場合に適した構成であると言える。

【0184】また、図22および図24の何れの構成においても、結合磁界の方向とイージーアクシスとが一致しているため、書き込みの誤差が従来よりも小さくなるという利点をさらに有している。

【0185】<A-2. 作用効果>以上説明したように、本発明に係る実施の形態1のMRAMによれば、MRAMセルを構成するソフト強磁性体層24のイージーアクシスを、ビット線およびワード線に対して斜めに40～50度、望ましくは45度の角度をなすよう傾けて配設することで、少ない書き込み電流で、選択アドレスにおけるMRAMセルのスpinの方向を確実に反転でき、書き込み時の消費電力を低減することができる。

【0186】また、選択アドレスにおけるMRAMセルのスpinの方向を反転させる場合と、スpinの方向を維持する場合とでビット線およびワード線に流す電流の向きを変更することで、結合磁界の方向とイージーアクシスとを一致させ、書き込みの誤差を低減することもできる。

【0187】<B. 実施の形態2>

<本実施の形態の特徴>本発明の実施の形態2に係るMRAMは、MRAMセルアレイのビット線およびワード線の両端に一对の読み出し／書き込み制御回路を備え、当該回路の構成として、ビット線と電源電圧VDDとを接続する第1のMOSトランジスタと、ビット線と接地電圧VSSとを接続する第2のトランジスタを含み、書き込み時にビット線の双方向に書き込み電線を流す機能と、読み出し時にセンス電流に起因する電圧をセンスアンプに出力する機能を有する。

【0188】<B-1. 装置構成>

<B-1-1. MRAMの全体構成>図26は本発明の実施の形態2に係るMRAMの構成を示すブロック図であり、MRAMセルアレイMCAと、その周辺回路を示している。

【0189】図26において、列アドレスバッファ(column address buffer) CABは、列アドレス信号を受信し、信号を反転、あるいは、増幅して列デコーダCDに出力する。

【0190】列デコーダCDは、列アドレス信号をデコードし、デコードした信号をマルチプレクサMUXに出力する。

【0191】マルチプレクサMUXは、デコードされた列アドレス信号に従ってビット線を選択する。同時にビット線の一方端に接続される列読み出し／書き込み第1制御回路CRW1に信号を出し、列読み出し／書き込み第1制御回路CRW1からは、読み出し、あるいは、書き込みに応じて選択ビット線に電圧、電流が印加される。

【0192】行アドレスバッファ(row address buffer) RABは、行アドレス信号を受信し、信号を反転、あるいは、増幅して行デコーダRDに出力する。

【0193】行デコーダRDは行アドレス信号をデコードし、デコードされた行アドレス信号に従ってワード線を選択する。同時にビット線の一方端に接続される行読み出し／書き込み第1制御回路RRW1に信号を出し、行読み出し／書き込み第1制御回路RRW1からは、読み出し、あるいは、書き込みに応じて選択ワード線に電圧、電流が印加される。

【0194】また、MRAMセルアレイMCAから読み出したデータ、あるいは、MRAMセルアレイMCAに書き込むデータは入出力バッファIOBを介して、外部との間でデータの入出力が行われる。

【0195】なお、ビット線の他方端には列読み出し／書き込み第2制御回路CRW2が接続され、ワード線の他方端には行読み出し／書き込み第2制御回路RRW2が接続されている。

【0196】<B-1-2. MRAMの詳細構成>図27は、図26に示すMRAMのうち、マルチプレクサMUX、列デコーダCD、行デコーダRD、入出力バッ

アIOBを除いた構成についての回路図を示している。また、列アドレスバッファCABおよび行アドレスバッファRABについては便宜的に図示を省略している。なお、図27に示す構成のMRAMはMRAM100と呼称する。

【0197】図27において、MRAMセルアレイMCAは、MRAMセルMC11、MC21、MC12およびMC22を有している。何れのMRAMセルも、磁気トンネル接合(MTJ)とpn接合ダイオードが直列に接続された構造を有し、図27においては、MTJを可変抵抗で表し、ダイオードとの直列接続回路が等価回路として表されている。

【0198】MTJを可変抵抗で表すのは、MTJを構成するソフト強磁性体層(電子スピンの方向が変更可能、すなわち磁化の方向が変更可能)と、強磁性体層(電子スピンの方向が固定、すなわち磁化の方向が固定)において、両者のスピンが同一方向を向いている場合にはトンネル抵抗が小さくなり、互いに反対方向を向いている場合にはトンネル抵抗が大きくなるためである。従って、この可変抵抗は2つの抵抗値を有することになる。

【0199】MRAMセルMC11は、ビット線BL1とワード線WL1との間に直列接続された可変抵抗R11およびダイオードD11を有し、MRAMセルMC21は、ビット線BL1とワード線WL2との間に直列接続された可変抵抗R21およびダイオードD21を有し、MRAMセルMC12は、ビット線BL2とワード線WL1との間に直列接続された可変抵抗R12およびダイオードD12を有し、MRAMセルMC22は、ビット線BL2とワード線WL2との間に直列接続された可変抵抗R22およびダイオードD22を有している。

【0200】ビット線BL1およびBL2は、列読み出し／書き込み第2制御回路CRW2において、それぞれNMOSトランジスタMN11およびMN21を介してドレイン電圧VDDが与えられる構成となっている。そして、NMOSトランジスタMN11およびMN21のドレイン電極には、それぞれNMOSトランジスタMN12およびMN22のドレイン電極が接続され、NMOSトランジスタMN12およびMN22のソース電極にはソース電圧VSSが与えられる構成となっている。

【0201】また、NMOSトランジスタMN11、MN12、MN21およびMN22のゲート電極には、それぞれ、NANDゲートND1、ND2、ND3およびND4の出力が与えられ、NANDゲートND1～ND4のそれぞれの3つの入力はマルチプレクサMUXに接続されている。

【0202】ビット線BL1およびBL2は、列読み出し／書き込み第1制御回路CRW1において、それぞれNMOSトランジスタMN13、可変抵抗R31およびMN23、可変抵抗R32を介してドレイン電圧VDDが

与えられる構成となっている。そして、NMOSトランジスタMN13およびMN23のドレイン電極には、それぞれNMOSトランジスタMN14およびMN24のドレイン電極が接続され、NMOSトランジスタMN14およびMN24のソース電極にはソース電圧V_{SS}が与えられる構成となっている。

【0203】なお、NMOSトランジスタMN13およびMN23のソース電極は、センス電流の検出のため、センスアンプを含むマルチプレクサMUXにも接続されている。

【0204】また、NMOSトランジスタMN13、MN14、MN23およびMN24のゲート電極には、それぞれ、NANDゲートND5、ND6、ND7およびND8の出力が与えられ、NANDゲートND1～ND4のそれぞれの3つの入力はマルチプレクサMUXに接続されている。

【0205】ワード線WL1およびWL2は、行読み出し／書き込み第1制御回路RRW1において、それぞれNMOSトランジスタQN11およびQN21を介してドレイン電圧V_{DD}が与えられる構成となっている。そして、NMOSトランジスタQN11およびQN21のドレイン電極には、それぞれNMOSトランジスタQN12およびQN22のドレイン電極が接続され、NMOSトランジスタQN12およびQN22のソース電極にはソース電圧V_{SS}が与えられる構成となっている。

【0206】また、NMOSトランジスタQN11、QN12、QN21およびQN22のゲート電極は行デコーダRDに接続されている。

【0207】ワード線WL1およびWL2は、行読み出し／書き込み第2制御回路RRW2において、それぞれNMOSトランジスタQN13およびQN14を介してソース電圧V_{SS}が与えられる構成となっている。

【0208】なお、図27では、MRAMセルアレイMC-Aを2行2列のセルアレイとしているが、行と列のサイズは、これに限定されるものではない。

【0209】<B-2. 装置動作>以下、図27～図29を用いてMRAM100の動作について説明する。図28は、読み出しおよび書き込み時の、MRAM100における各種電流および電圧のタイミングチャートである。

【0210】図28においては、センス電流のタイミングチャート、MRAMセルMC11、MC21、MC12の書き込みおよび読み出しに際しての、ワード線およびビット線に与えられる電圧のタイミングチャートを示すとともに、NMOSトランジスタMN11、MN12、MN13およびMN14の各々のゲート電極に与えられるゲート電圧V₁₁、V₁₂、V₁₃およびV₁₄のタイミングチャート、NMOSトランジスタQN11、QN12およびQN13のゲート電極に与えられるゲート電圧V_{W1}、V_{W2}およびV_{W3}のタイミングチャート、およびN

MOSトランジスタMN13のソース電圧V_{S1}のタイミングチャートを示している。

【0211】また、図28において、ワード線およびビット線のスタンバイ時の電圧は電圧V_WおよびV_bとなっている。

【0212】各MRAMセルにはp-n接合ダイオードが含まれているので、スタンバイ時には当該ダイオードのp-n接合に逆バイアスが印加されるように、ワード線およびビット線には電圧V_WおよびV_bが印加される。なお、図27に示すように、各ダイオードはワード線にカソードが接続されるように構成されているので、V_W > V_bの関係となるように設定される。

【0213】以下においては、電圧V_b=ソース電圧V_{SS}と想定して、ビット線BL1の制御について説明する。

【0214】<B-2-1. スタンバイ状態>図28に示すように、スタンバイ状態では、全てのワード線は電圧V_W、全てのビット線は電圧V_bが印加される。これを実現するために、図28に示す4つのNMOSトランジスタMN11、MN12、MN13およびMN14が配置されている。

【0215】すなわち、スタンバイ時には、NMOSトランジスタMN11およびMN13がオフ状態となるようにゲート電圧V₁₁およびV₁₃にソース電圧V_{SS}が与えられ、NMOSトランジスタMN12およびMN14がオン状態となるようにゲート電圧V₁₂およびV₁₄にドレイン電圧V_{DD}が与えられる。

【0216】また、NMOSトランジスタQN11がオン状態となるようにゲート電圧V_{W1}を印加し、NMOSトランジスタQN12がオフ状態となるようにゲート電圧V_{W2}を印加し、NMOSトランジスタQN13がオフ状態となるようにゲート電圧V_{W3}を印加する。

【0217】なお、NMOSトランジスタQN11はソース電極がドレイン電圧V_{DD}に接続されているので、ゲート電圧V_{W1}としてはV_{DD}+ΔV_{DD}の電圧を印加する。これはトランジスタのしきい値電圧による電圧降下を補うためである。

【0218】この結果、ビット線BL1にはソース電圧V_{SS}が与えられ、ワード線WL1にはドレイン電圧V_{DD}が与えられる。

【0219】<B-2-2. 書き込み状態1（ライト1）>MRAMセルMC11にデータ「1」を書き込む（スピルの方向を反転させる）場合、選択ワード線WL1と選択ビット線BL1に電流を流す必要がある。図27に示すMRAM100では、ビット線のみに双方向に電流が流れることを想定している。

【0220】この場合、NMOSトランジスタMN11およびMN14をオン状態とし、NMOSトランジスタMN12およびMN13をオフ状態とする。ただし、NMOSトランジスタMN11はソース電極がドレイン電

圧 V_{DD} に接続されているので、ゲート電圧 V_{11} としては $V_{DD} + \Delta V_{DD}$ の電圧を印加する。

【0221】この結果、ビット線 BL_1 を流れる電流 I_{BT} は図27の上から下へ向かって流れることになる。

【0222】一方、NMOSトランジスタ $QN11$ および $QN13$ をオン状態とし、NMOSトランジスタ $QN12$ をオフ状態とすることで、選択ワード線 WL_1 には図27の左から右へ向かって電流 I_{WD} が流れることになる。NMOSトランジスタ $QN11$ はソース電極がドレン電圧 V_{DD} に接続されているので、ゲート電圧 V_{w1} としては $V_{DD} + \Delta V_{DD}$ の電圧を印加する。

【0223】このようにして、選択ワード線 WL_1 および選択ビット線 BL_1 を流れる電流 I_{WD} および I_{BT} に起因する磁界により、MRAMセル $MC11$ のMTJのソフト強磁性体層のスピンが回転して、データが書き込まれる。

【0224】<B-2-3. 読み出し状態1(リード1) >MRAMセル $MC11$ に書き込まれたデータ「1」を読み出す場合、MRAMセル $MC11$ のダイオード $D11$ にのみ順バイアスを印加し、センス電流 I_{SC} を流す。このセンス電流 I_{SC} がMRAMセル $MC11$ を流れるビット線 BL_1 が電圧降下を起こす。この電圧降下の大きさでデータが「0」か「1」を判断する。

【0225】ダイオード $D11$ に順バイアスを印加するために、選択ワード線 WL_1 に電圧 V_b を、選択ビット線 BL_1 に電圧 V_w を印加する。この状態を実現するために、NMOSトランジスタ $MN11$ および $MN13$ をオン状態とし、NMOSトランジスタ $MN12$ および $MN14$ をオフ状態とする。

【0226】ただし、NMOSトランジスタ $MN11$ および $MN13$ はソース線が V_{DD} であるので、ゲート電圧 V_{11} および V_{13} として $V_{DD} + \Delta V_{DD}$ の電圧が印加される。

【0227】このとき、非選択アドレスのMRAMセル $MC22$ のpn接合ダイオード $D22$ には、逆バイアス(ワード線 WL_2 に電圧 V_w 、ビット線 BL_2 に電圧 V_b)が印加されたままであり、半選択アドレスのMRAMセル $MC12$ および $MC21$ のダイオード $D12$ および $D21$ には電位差が与えられず(0バイアス)、MRAMセル $MC12$ 、 $MC21$ および $MC22$ に電流は流れない。

【0228】ここで、可変抵抗 $R11$ (すなわちMTJ)の2つの抵抗値のうち、高い方の値を R_H 、低い方の値を R_L とする。

【0229】MRAMセル $MC11$ のメモリセルを流れるセンス電流 I_{SC} は、MTJの抵抗値(すなわち可変抵抗 $R11$ の値)により大きさが変わる。MTJの抵抗が R_H および R_L のときのセンス電流の値を I_L および I_H とすると、 $R_H > R_L$ であるので、 $I_H > I_L$ が成立つ。

【0230】MRAMセル $MC11$ にはセンス電流が流

れるため、NMOSトランジスタ $MN13$ のソース電極(マルチプレクサMUXに接続)の電圧 V_{S1} は、ドレン電圧 V_{DD} よりも低下する。

【0231】この電圧降下は磁気トンネル抵抗値に依存し、この降下電圧をマルチプレクサMUXに含まれるセンスアンプで参照電圧と比較して、データ「1」を検出する。

【0232】<B-2-4. 書き込み状態0(ライト0) >MRAMセル $MC11$ にデータ「0」を書き込む(スピルの方向を維持する)場合、書き込み状態1の場合と異なるのは、選択ビット線 BL_1 を流れる電流の方向が逆となる点である。これを実現するため、NMOSトランジスタ $MN11$ および $MN14$ をオフ状態とし、NMOSトランジスタ $MN12$ および $MN13$ をオン状態とする。

【0233】この結果、ビット線 BL_1 を流れる電流 I_{BT} は図27の下から上へ向かって流れることになる。

【0234】<B-2-5. 読み出し状態0(リード0) >MRAMセル $MC11$ に書き込まれたデータ「0」を読み出す場合、NMOSトランジスタ $MN11$ 、 $MN12$ 、 $MN13$ および $MN14$ の動作は、読み出し状態1(リード1)と同じである。ただし、読み出すデータが「0」の場合のNMOSトランジスタ $MN13$ のソース電極の電圧 V_{S1} と、読み出すデータが「1」の場合の電圧 V_{S1} との電圧差 ΔV は、磁気トンネル抵抗の変化率 $(R_H - R_L) / R_L$ の値が大きいほど大きくなる。電圧差 ΔV が大きいほどセンスアンプで検出できる参照電圧に対するマージンが大きくなるので、検出が容易になる。

【0235】ここで、図29に磁気トンネル抵抗の変化率の印加電圧依存性を示す。図29において、横軸にMTJに印加するバイアス電圧を、縦軸に磁気トンネル抵抗の変化率 $|(R_H - R_L) / R_L|$ を示す。なお、図29には、これまでに説明したMTJであるトンネルバリア層を1層有する単磁気トンネル接合についての特性とともに、トンネルバリア層を2層有する2重磁気トンネル接合についての特性を併せて示している。

【0236】図29から判るように、(単および2重)磁気トンネル接合に印加する電圧が0.1V程度のとき、磁気トンネル抵抗の変化率が最大になる。従って、読み出し時に選択ビット線 BL_1 に印加する電圧 V_w は、pn接合ダイオードに印加される電圧より0.1Vだけ高い電圧が望ましい。この電圧は、NMOSトランジスタ $MN11$ と $MN13$ のゲート電圧 $V_{DD} + \Delta V_{DD}$ の値を調節することにより実現できる。

【0237】ここで、2重磁気トンネル接合の構成について図30を用いて説明する。図30に示すように、2重磁気トンネル接合は、第1反強磁性体層AF1、強磁性体層FM1、第1トンネルバリア層TB1、ソフト強磁性体層FMS、第2トンネルバリア層TB2、第2反

強磁性体層AF2が積層された構成を有している。

【0238】このような構成において、第1および第2反強磁性体層AF1およびAF2の端子TAおよびTB間に電圧Vxを印加した場合、第1および第2のトンネルバリア層TB1およびTB2にはVx/2ずつの電圧がかかることになる。

【0239】一方、単磁気トンネル接合の場合には電圧Vxがトンネルバリア薄膜にかかることになるが、磁気トンネル抵抗の変化率は、印加電圧が大きいほど小さくなるので、2重磁気トンネル接合の方が磁気トンネル抵抗の変化率が大きくなり、図29に示すように、単磁気トンネル接合と2重磁気トンネル接合とで特性に差が生じることになる。

【0240】<B-3. 作用効果>以上説明したように、本発明に係る実施の形態2のMRAMによれば、MRAMセルアレイMCAのピット線およびワード線の両端に、列読み出し／書き込み第1制御回路CRW1および列読み出し／書き込み第2制御回路CRW2を備え、それぞれにおいて、ピット線と電圧VDDとを接続する第1のMOSトランジスタ(MN11、MN21、MN13、MN23)、ピット線と電圧VSSとを接続する第2のMOSトランジスタ(MN12、MN22、MN14、MN24)とを有しているので、NMOSトランジスタを切り替えることで選択ピット線に流れる電流の向きを変更することができ、MTJを構成するソフト強磁性体層のスピノの方向を任意に変更できる。なお、NMOSトランジスタMN11およびMN12、MN21およびMN22、MN13およびMN14、MN23およびMN24は、ピット線の両端部の接続先を、電圧VDDあるいは電圧VSSに切り替えることができるので、切り替え手段と呼称することができる。

【0241】また、列読み出し／書き込み第1制御回路CRW1の上記第1のMOSトランジスタはセンスアンプを含むマルチプレクサMUXに接続されているので、データの読み出し時にセンス電流に起因する電圧をマルチプレクサMUXに出力することができる。

【0242】<B-4. 変形例1>本発明に係る実施の形態2の変形例1として、図31にMRAM200を示す。なお、MRAM200は図27を用いて説明したMRAM100とほぼ同様の構成を有しており、異なるのはMRAM100におけるNMOSトランジスタMN11、MN13、MN21、MN23、QN11およびQN21、の代わりに、PMOSトランジスタMP11、MP13、MP21、MP23、QP11およびQP21を設け、かつ、PMOSトランジスタMP11およびNMOSトランジスタMN12のゲート電極にNANDゲートND11の出力を与え、PMOSトランジスタMP21およびNMOSトランジスタMN22のゲート電極にNANDゲートND12の出力を与え、入力、PMOSトランジスタMP13およびNMOSトランジスタ

MN14のゲート電極にNANDゲートND13の出力を与え、PMOSトランジスタMP23およびNMOSトランジスタMN24のゲート電極にNANDゲートND14の出力を与えて、ゲート入力を共通化している点である。

【0243】図27に示すMRAM100においては、NMOSトランジスタMN11、MN13の、MN21およびMN23のゲートには、オン状態においてVDD+ΔVDDの電圧が印加されるので、ゲート電圧にVDDしかからないNMOSトランジスタMN12、MN14、MN22およびMN24に比べて、ゲート絶縁膜にかかる負担が大きくなる可能性があった。

【0244】しかしながら、図31に示すMRAM200においては、PMOSトランジスタMP11、MP13、MP21およびMP23を採用することで、ゲートにVDD以上の電圧を印加せずに済むので、ゲート絶縁膜にかかる負担は小さくなる。

【0245】また、PMOSトランジスタMP11、MP13、MP21およびMP23を採用することで、NMOSトランジスタMN12、MN14、MN22およびMN24とゲート入力の共通化を図ることができ、PMOSトランジスタMP11およびNMOSトランジスタMN12、PMOSトランジスタMP21およびNMOSトランジスタMN22、PMOSトランジスタMP13およびNMOSトランジスタMN14、PMOSトランジスタMP23およびNMOSトランジスタMN24はインバータ(ドライバ、バッファ)を形成し、MRAM100に比べて消費電力を低減できる。

【0246】図32は、読み出しおよび書き込み時の、MRAM200における各種電流および電圧のタイミングチャートである。

【0247】MRAM200においては、PMOSトランジスタMP11、MP13と、NMOSトランジスタMN12、MN14のそれぞれのゲート入力を共通化しているので、ゲート電圧V11およびV12のタイミングチャートが同じとなり、またゲート電圧V13およびV14のタイミングチャートが同じとなる。

【0248】また、PMOSトランジスタQP11とNMOSトランジスタQN12のゲート入力を共通化(PMOSトランジスタQP21とNMOSトランジスタQN22のゲート入力も同様)しているので、ゲート電圧VW1およびVW2のタイミングチャートが同じとなるが、基本的な動作はMRAM100と同じである。

【0249】なお、本例においては、電圧Vb=ソース電圧VSS、電圧Vw=ドレイン電圧VDDと想定している。すなわち、MTJの特性が図29に示したものと同じである場合には、ドレイン電圧VDDは各MRAMセルのpn接合ダイオードに印加される電圧に0.1Vを足した値に、ほぼ等しく設定される。

【0250】また、図には示さないが、MRAM100

および200の読み出し／書き込み制御回路は、隣接するMRAMセルアレイと共有しても良い。この場合、共有した分だけ装置面積を縮小する効果を奏する。

【0251】<B-5. 変形例2>本発明に係る実施の形態2の変形例2として、図33にMRAM300を示す。なお、MRAM300は図31を用いて説明したMRAM200とほぼ同様の構成を有しており、異なるのはPMOSトランジスタMP11およびNMOSトランジスタMN12、PMOSトランジスタMP13およびNMOSトランジスタMN14、PMOSトランジスタMP21およびNMOSトランジスタMN22、PMOSトランジスタMP23およびNMOSトランジスタMN24のそれぞれのドレイン電極間に、NMOSトランジスタMN15、MN16、MN25、MN26を挿入した点と、PMOSトランジスタQP11およびNMOSトランジスタQN12、PMOSトランジスタQP21およびNMOSトランジスタQN22のそれぞれのドレイン電極間に、NMOSトランジスタQN1およびQN2を挿入した点である。

【0252】なお、NMOSトランジスタMN15、MN16、MN25、MN26、QN1およびQN2のゲート電圧は、直流電圧V_{GG}に固定される。

【0253】これらのNMOSトランジスタの目的は、リーク電流の低減である。すなわち、MOSFETのリーク電流は、ドレイン端での高電界に起因するBTBT(Band to band tunneling) TAT(Trap Assisted Tunneling)、インパクトイオン化(Impact Ionization)やSRH(Schokley-Read-hall process)が、その原因である。

【0254】リーク電流を低減するには、ドレイン端の電界を低減すれば良く、例えばPMOSトランジスタMP11およびNMOSトランジスタMN12のドレイン電極間にNMOSトランジスタMN15を挿入し、NMOSトランジスタMN15のゲート電圧を所定の直流電圧(ここでは電圧V_{GG})に設定することにより、NMOSトランジスタMN12およびMN15に与えられるドレイン電圧を低減することができる。

【0255】例えば、電圧V_{GG}をV_{DD}/2 + V_{thn}(NMOSトランジスタMN15のしきい値電圧)に設定し、NMOSトランジスタMN15を常時オン状態にするように与える。すると、NMOSトランジスタMN12がオン状態になった場合、NMOSトランジスタMN15と合わせて、2つの抵抗が直列に接続された状態となり、抵抗分割によりNMOSトランジスタMN12およびMN15に加わるストレス電圧(ドレイン電圧V_{DD})が等しくなるため、MN12およびMN15のトータルのリーク電流は、NMOSトランジスタMN15を挿入しない場合、すなわちNMOSトランジスタMN12だけの場合のリーク電流に比べて、大幅に低減することができ、消費電力を低減することができる。

【0256】なお、電圧V_{GG}をV_{DD}/2 + V_{thn}としたのは、この設定によりNMOSトランジスタMN12およびMN15に加わるストレス電圧が等しく最小になるとの知見に基づくものであるが、実施にあたっては、消費電力が低減されるのであれば、この電圧に限定されるものではない。

【0257】以上の効果は、NMOSトランジスタMN16、MN25およびMN26においても同様である。

【0258】また、PMOSトランジスタQP11およびNMOSトランジスタQN12、PMOSトランジスタQP21およびNMOSトランジスタQN22のそれぞれのドレイン電極間に挿入したNMOSトランジスタQN1およびQN2によってもリーク電流を大幅に低減でき、消費電力を低減することができる。

【0259】また、以上の説明においては、データの書き込み時にMRAMセルアレイのビット線には双方向の電流が流れ、ワード線には一方向の電流が流れると想定したが、ビット線に一方向の電流が流れ、ワード線に双方向の電流が流れるようにしても良い。

【0260】また、MRAMセルのpn接合ダイオードの代わりに、MOSFETやTFT(Thin Film Transistor)やバイポーラトランジスタ等のオン／オフ特性を持つ素子を用いても良い。

【0261】<C. 実施の形態3>

<本実施の形態の特徴>本発明の実施の形態3に係るMRAMは、MRAMセルアレイのワード線あるいはビット線を、複数のサブワード線あるいはサブビット線に分割することを特徴としている。

【0262】すなわち、配線の抵抗率をρ、配線の長さをl、配線の断面積をSとすると、配線抵抗Rは、次式(9)で与えられる。

【0263】

【数9】

$$R = \rho \frac{l}{S} \quad \dots (9)$$

【0264】また、配線に流れる電流をIとすると、消費電力Pは次式(10)で与えられる。

【0265】

【数10】

$$P = R I^2 = \rho \frac{l I^2}{S} \quad \dots (10)$$

【0266】従って、配線の長さlを短くすれば、消費電力が低減することが判る。例えば、配線を2分割すると、消費電力は2分の1になり、n分割(ただし、nは2以上の整数)すると、消費電力はn分の1になり、MRAMにおいて書き込み時の消費電力を低減することができる。

【0267】また、同じワード線に接続しているメモリセルの個数が増加すると、負荷容量が増加する。その結果、ワード線を伝送する信号の遅延時間が増加し、高速

アクセスができないという欠点が生じる。

【0268】しかしながら、ワード線を複数のサブワード線に分割して配線の長さを短くすることにより、同一の配線に接続されるメモリセルの個数が減少するため、負荷容量が低減される。その結果、ワード線を分割しないメモリ装置に比べて遅延時間を短くすることができ、高速アクセスを実現することができる。これはビット線においても同様である。以下、本発明の実施の形態3に係るMRAMの具体的な構成について説明する。

【0269】<C-1. ワード線の分割>

<C-1-1. 装置構成>図34に、ワード線を分割したMRAM400の構成をブロック図で示す。図34に示すようにMRAM400は、複数のMRAMセルアレイ66を有している。

【0270】各MRAMセルアレイ66は、複数のワード線64の第1の端部に接続された行読み出し／書き込み第1制御回路RRW1および第2の端部に接続された行読み出し／書き込み第2制御回路RRW2と、複数のビット線69の第1の端部に接続された列読み出し／書き込み第1制御回路CRW1および第2の端部に接続された列読み出し／書き込み第2制御回路CRW2とを有している。

【0271】なお、上記各制御回路は実施の形態2において説明したMRAM100～300と同様とし、同じ符号を付しているが、これらに限定されるものではない。

【0272】そして、各MRAMセルアレイ66に対応して、図示しない列デコーダに接続されるメモリセルアレイ選択線70が複数配設されている。

【0273】また、行デコーダを構成する複数のANDゲート62の出力に、それぞれメインワード線67が接続されている。なお、メインワード線67の本数は各MRAMセルアレイ66のワード線の本数に一致する。

【0274】複数のメモリセルアレイ選択線70と複数のメインワード線67との交差部には、メモリセルアレイ選択線70およびメインワード線67を入力とする2入力のANDゲート61がそれぞれ接続され、その出力が、行読み出し／書き込み第1制御回路RRW1を介してサブワード線64に接続されている。このサブワード線64が各MRAMセルアレイ66のワード線となる。

【0275】<C-1-2. 装置動作>以下、MRAM400の動作について説明する。例えば、メモリセルアレイ選択線70の1つとメインワード線67の1つが活性化すると、活性化したメモリセルアレイ選択線70およびメインワード線67に接続されるANDゲート61が、その出力に接続されたサブワード線64を活性化する。

【0276】この場合、活性化したメインワード線67はMRAMセルには直接に接続されないため、その容量には、MRAMセルアレイ66を構成するMRAMセル

の容量が含まれない。従って、複数のMRAMセルアレイに渡る1本のワード線によりMRAMセルを選択する構成に比べて、ワード線に含まれる容量が大幅に低減する。

【0277】さらに、1つのMRAMセルアレイ66を横切るだけのサブワード線64は、容量および抵抗に起因する遅延(CR遅延)が無視できるほど短く構成することで、MRAM400は、特定のMRAMセルを選択する時間を本質的に低減することができ、MRAMの動作速度を向上させることができる。

【0278】ここでMRAMセルの容量について説明する。一例として、MRAMセルがMTJ(磁気トンネル接合)とpn接合ダイオードとの直列接続で構成される場合を想定する。

【0279】この場合、MRAMセル容量CMは以下の式(11)に示すように、MTJの容量CTMRとpn接合ダイオードの接合容量CDとを直列に接続した容量となる。

【0280】

【数11】

$$\frac{1}{C_M} = \frac{1}{C_{TMR}} + \frac{1}{C_D} \quad \dots (11)$$

【0281】図34に示すMRAM400においては、選択されたMRAMセルアレイ66中のサブワード線64に接続しているMRAMセルのみアクセスされるので、サブワード線64とビット線69との間を流れる電流は、ワード線を分割しない構成に比べて、MRAMセルアレイの個数の逆数に比例して減少し、消費電力を低減することができる。

【0282】なお、MRAM400においてはサブワード線64を制御する論理ゲートとして、ANDゲートを用いているが、ANDゲートに限定されるものではなく、例えば、NANDゲート、NORゲート、XORゲート等の他の論理ゲートを用いても、メモリセルアレイ選択線70およびメインワード線67の「High」あるいは「Low」を表す論理と、その逆の論理(「Low」あるいは「High」)を組み合わせて上記論理ゲートに入力することで、MRAM400と同様の効果を奏する。ここで、論理の「High」および「Low」とは、各信号電圧の高値あるいは低値の何れかに相当する。

【0283】<C-2. ワード線の階層化>

<C-2-1. 装置構成>図35に、ワード線を階層化したMRAM500の構成をブロック図で示す。図35に示すようにMRAM500は、m個のMRAMセルアレイ85を有して構成されるn個のメモリセルアレイ群861～86nを備えている。

【0284】メモリセルアレイ群861を例に採れば、各MRAMセルアレイ85は、複数のワード線83の第1の端部に接続された行読み出し／書き込み第1制御回路RRW1および第2の端部に接続された行読み出し／

書き込み第2制御回路R RW2と、複数のビット線8 9の第1の端部に接続された列読み出し／書き込み第1制御回路C RW1および第2の端部に接続された列読み出し／書き込み第2制御回路C RW2とを有している。

【0285】そして、各MRAMセルアレイ8 5に対応して、図示しない列デコーダに接続されるm本のメモリセルアレイ選択線9 1 1～9 1 mが配設されている。

【0286】また、複数のANDゲート（サブグローバルデコーダ）8 1の出力に、それぞれメインワード線8 4が接続されている。なお、メインワード線8 4の本数は各MRAMセルアレイ8 5のワード線の本数に一致する。

【0287】メモリセルアレイ選択線9 1 1～9 1 mと複数のメインワード線8 4との交差部には、メモリセルアレイ選択線9 1 1～9 1 mの何れかとメインワード線8 4の1つとを入力とする2入力のANDゲート（ローカル行デコーダ）8 2がそれぞれ接続され、その出力が、行読み出し／書き込み第1制御回路R RW1を介して、サブワード線8 3に接続されている。このサブワード線8 3が各MRAMセルアレイ8 5のワード線となる。

【0288】また、複数のサブグローバルデコーダ8 1の第1の入力の全では、メモリセルアレイ群8 6 1に対応して配設されたメモリセルアレイ群選択線9 0 1に共通に接続されている。

【0289】そして、複数のサブグローバルデコーダ8 1の第2の入力のそれぞれは、複数のANDゲート（メイングローバルデコーダ）8 0の出力に接続されるグローバルワード線8 7を介して、メイングローバルデコーダ8 0の出力に接続されている。

【0290】メモリセルアレイ群選択線9 0 1～9 0 nは、グローバルワード線8 7とは異なる配線であり、両者は交差するように配設されている。

【0291】なお、他のメモリセルアレイ群もメモリセルアレイ群8 6 1と同じ構成を有し、それぞれ複数のサブグローバルデコーダ8 1に接続され、それぞれの複数のサブグローバルデコーダ8 1もメモリセルアレイ群選択線に接続されている。

【0292】すなわち、メモリセルアレイ群8 6 1～8 6 nのそれぞれに対応して、メモリセルアレイ群選択線9 0 1～9 0 nが配設され、メモリセルアレイ群8 6 1～8 6 nにそれぞれ接続される複数のサブグローバルデコーダ8 1の第2の入力は、それぞれグローバルワード線8 7を介して、複数のメイングローバルデコーダ8 0の出力に接続されている。

【0293】なお、複数のメイングローバルデコーダ8 0は、アドレス信号線群8 8に接続されている。

【0294】<C-2-2. 装置動作>以下、MRAM 500の動作について説明する。メモリセルアレイ群8 6 1～8 6 nは、メモリセルアレイ群選択線9 0 1～9

0 nにより何れかが選択され、メモリセルアレイ群8 6 1～8 6 n内の複数のMRAMセルアレイ8 5は、メモリセルアレイ選択線9 1 1～9 1 mにより選択される。

【0295】メモリセルアレイ群8 6 1～8 6 nの動作は、図34を用いて説明したMRAM 400と同様であり、例えば、メモリセルアレイ選択線9 1 1とメインワード線8 4の1つが活性化すると、活性化したメモリセルアレイ選択線9 1 1とメインワード線8 4に接続されるANDゲート8 2が、その出力に接続されたサブワード線8 3を活性化する。

【0296】この場合、活性化したメインワード線8 4の容量には、MRAMセルアレイ8 5を構成するMRAMセルの容量が含まれないため、複数のMRAMセルアレイに渡る1本のワード線によりMRAMセルを選択していた従来のMRAMに比べて、ワード線に含まれる容量が大幅に低減する。

【0297】また、例えば、メモリセルアレイ群選択線9 0 1とグローバルワード線8 7の1つが活性化すると、活性化したメモリセルアレイ群選択線9 0 1とグローバルワード線8 7に接続されるANDゲート8 1が、その出力に接続されたメインワード線8 4を活性化する。

【0298】この場合、活性化したグローバルワード線8 7の容量には、メモリセルアレイ群8 6 1～8 6 nを構成するMRAMセルアレイ8 5の容量が含まれないため、複数のメモリセルアレイ群に渡る1本のワード線によりMRAMセルを選択する構成に比べて、ワード線に含まれる容量が大幅に低減する。

【0299】従って、ワード線8 3とビット線8 9との間を流れる電流は、ワード線を階層化しない従来のMRAMに比べて、MRAMセルアレイの個数の逆数に比例して減少するだけでなく、メモリセルアレイ群の個数の逆数に比例して減少し、消費電力を低減することができる。

【0300】<C-2-3. ワード線が階層化されたMRAMの全体構成>図36にワード線が階層化されたMRAMの全体構成の一例を示す。図36においては、4個のMRAMセルアレイ8 5 1～8 5 4を有して構成される、4個のメモリセルアレイ群8 6 1～8 6 4を備えたMRAMを示しており、4個のメモリセルアレイ群8 6 1～8 6 4のそれぞれに対応して、4本のメモリセルアレイ群選択線9 0 1～9 0 4が配設されている。また、各メモリセルアレイ群においては、4個のMRAMセルアレイ8 5 1～8 5 4に対応して、4本のメモリセルアレイ選択線9 1 1～9 1 4が配設されている。

【0301】なお、図36においてはMRAMセルアレイ8 5等の各構成は単純なブロックで表し、グローバルワード線8 7等の各配線経路を矢印で模式的に示している。図36から、いわゆるワード線が階層化されていることが判る。

41

【0302】<C-3. ビット線の分割>

<C-3-1. 装置構成>図37に、ビット線を分割したMRAM600の構成をブロック図で示す。図37に示すようにMRAM600は、複数のMRAMセルアレイ166を有している。

【0303】各MRAMセルアレイ166は、複数のワード線160の第1の端部に接続された行読み出し／書き込み第1制御回路RW1および第2の端部に接続された行読み出し／書き込み第2制御回路RW2と、複数のビット線164の第1の端部に接続された列読み出し／書き込み第1制御回路CRW1および第2の端部に接続された列読み出し／書き込み第2制御回路CRW2とを有している。

【0304】なお、上記制御回路は実施の形態2において説明したMRAM100～300と同様とし、同じ符号を付しているが、これらに限定されるものではない。

【0305】そして、各MRAMセルアレイ166に対応して、図示しない行デコーダに接続されるメモリセルアレイ選択線170が複数配設されている。

【0306】また、列デコーダを構成する複数のANDゲート162の出力に、それぞれメインビット線167が接続されている。なお、メインビット線167の本数は各MRAMセルアレイ166のビット線の本数に一致する。

【0307】複数のメモリセルアレイ選択線170と複数のメインビット線167との交差部には、メモリセルアレイ選択線170およびメインビット線167を入力とする2入力のNANDゲート161がそれぞれ接続され、その出力が、列読み出し／書き込み第1制御回路CRW1を介してサブビット線164に接続されている。こサブビット線164が各MRAMセルアレイ166のビット線となる。

【0308】<C-3-2. 装置動作>以下、MRAM600の動作について説明する。例えば、メモリセルアレイ選択線170の1つとメインビット線167の1つが活性化すると、活性化したメモリセルアレイ選択線170およびメインビット線167に接続されるNANDゲート161が、その出力に接続されたサブビット線164を活性化する。

【0309】この場合、活性化したメインビット線167は、MRAMセルには直接に接続されないので、その容量にはMRAMセルアレイ166を構成するMRAMセルの容量が含まれない。従って、複数のMRAMセルアレイに渡る1本のビット線によりMRAMセルを選択する構成に比べて、ビット線に含まれる容量が大幅に低減する。

【0310】さらに、1つのMRAMセルアレイ166を横切るだけのサブビット線164は、容量および抵抗に起因する遅延(CR遅延)が無視できるほど短くできるので、MRAM600は、特定のMRAMセルを選択

42

する時間を本質的に低減することができ、MRAMの動作速度を向上させることができる。

【0311】MRAMセルの容量については、式(1)を用いて説明しているので重複する説明は省略するが、図37に示すMRAM600においては、選択されたMRAMセルアレイ166中のサブビット線164に接続しているMRAMセルのみアクセスされるので、サブビット線164とワード線169との間を流れる電流は、ビット線を分割しない構成に比べて、MRAMセルアレイの個数の逆数に比例して減少し、消費電力を低減することができる。

【0312】なお、MRAM600においてはサブビット線164を制御する論理ゲートとして、NANDゲートを用いているが、NANDゲートに限定されるものではなく、例えばANDゲート、NORゲート、XORゲート等の他の論理ゲートを用いても、メモリセルアレイ選択線170およびメインビット線167の「High」あるいは「Low」を表す論理と、その逆の論理(「Low」あるいは「High」)を組み合わせて上記論理ゲートに入力することで、MRAM600と同様の効果を奏する。ここで、論理の「High」および「Low」とは、各信号電圧の高値あるいは低値の何れかに相当する。

【0313】<C-4. ビット線の階層化>

<C-4-1. 装置構成>図38に、ビット線を階層化したMRAM700の構成をブロック図で示す。図38に示すようにMRAM700は、m個のMRAMセルアレイ185を有して構成されるn個のメモリセルアレイ群1861～186nを備えている。

【0314】メモリセルアレイ群1861を例に採れば、各MRAMセルアレイ185は、複数のワード線189の第1の端部に接続された行読み出し／書き込み第1制御回路RW1および第2の端部に接続された行読み出し／書き込み第2制御回路RW2と、複数のビット線183の第1の端部に接続された列読み出し／書き込み第1制御回路CRW1および第2の端部に接続された列読み出し／書き込み第2制御回路CRW2とを有している。

【0315】そして、各MRAMセルアレイ185に対応して、図示しない行デコーダに接続されるm本のメモリセルアレイ選択線1911～191mが配設されている。

【0316】また、複数のANDゲート(サブグローバルデコーダ)181の出力に、それぞれメインビット線184が接続されている。なお、メインビット線184の本数は各MRAMセルアレイ185のビット線の本数に一致する。

【0317】メモリセルアレイ選択線1911～191mと複数のメインビット線184との交差部には、メモリセルアレイ選択線1911～191mの何れかとメインビット線184の1つを入力とする2入力のAND

10

20

20

30

40

40

50

ゲート（ローカル列デコーダ）182がそれぞれ接続され、その出力が、列読み出し／書き込み第1制御回路CRW1を介して、サブビット線183に接続されている。このサブビット線183が各MRAMセルアレイ185のワード線となる。

【0318】また、複数のサブグローバルデコーダ181の第1の入力の全ては、メモリセルアレイ群1861に対応して配設されたメモリセルアレイ群選択線1901に共通に接続されている。

【0319】そして、複数のサブグローバルデコーダ181の第2の入力のそれぞれは、複数のANDゲート（メイングローバルデコーダ）180の出力に接続されるグローバルビット線187を介して、メイングローバルデコーダ180の出力に接続されている。

【0320】メモリセルアレイ群選択線1901～190nは、グローバルビット線187とは異なる配線であり、両者は交差するように配設されている。

【0321】なお、他のメモリセルアレイ群もメモリセルアレイ群1861と同じ構成を有し、それぞれ複数のサブグローバルデコーダ181に接続され、それぞれの複数のサブグローバルデコーダ181もメモリセルアレイ群選択線に接続されている。

【0322】すなわち、メモリセルアレイ群1861～186nのそれぞれに対応して、メモリセルアレイ群選択線1901～190nが配設され、メモリセルアレイ群1861～186nにそれぞれ接続される複数のサブグローバルデコーダ181の第2の入力は、それぞれグローバルビット線187を介して、複数のメイングローバルデコーダ180の出力に接続されている。

【0323】なお、複数のメイングローバルデコーダ180は、アドレス信号線群188に接続されている。

【0324】<C-4-2. 装置動作>以下、MRAM700の動作について説明する。メモリセルアレイ群1861～186nは、メモリセルアレイ群選択線1901～190nにより何れかが選択され、メモリセルアレイ群1861～186n内の複数のMRAMセルアレイ185は、メモリセルアレイ選択線1911～191mにより選択される。

【0325】メモリセルアレイ群1861～186nの動作は、図37を用いて説明したMRAM600と同様であり、例えば、メモリセルアレイ選択線1911とメインビット線184の1つが活性化すると、活性化したメモリセルアレイ選択線1911とメインビット線184に接続されるANDゲート182が、その出力に接続されたサブビット線183を活性化する。

【0326】この場合、活性化したメインビット線184の容量には、MRAMセルアレイ185を構成するMRAMセルの容量が含まれないため、複数のMRAMセルアレイに渡る1本のビット線によりMRAMセルを選択していた従来のMRAMに比べて、ビット線に含まれ

る容量が大幅に低減する。

【0327】また、例えば、メモリセルアレイ群選択線1901とグローバルビット線187の1つが活性化すると、活性化したメモリセルアレイ群選択線1901とグローバルビット線187に接続されるANDゲート181が、その出力に接続されたメインビット線184を活性化する。

【0328】この場合、活性化したグローバルビット線187の容量には、メモリセルアレイ群1861～186nを構成するMRAMセルアレイ185の容量が含まれないため、複数のメモリセルアレイ群に渡る1本のビット線によりMRAMセルを選択する構成に比べて、ビット線に含まれる容量が大幅に低減する。

【0329】従って、ビット線183とワード線189との間を流れる電流は、ビット線を階層化しない従来のMRAMに比べて、MRAMセルアレイの個数の逆数に比例して減少するだけでなく、メモリセルアレイ群の個数の逆数に比例して減少し、消費電力を低減することができる。

【0330】なお、以上説明した実施の形態3においては、ワード線およびビット線のそれぞれについて、分割および階層化した例について説明したが、これらを組み合わせ、ワード線およびビット線の両方を分割した構成、あるいはワード線およびビット線の両方を階層化した構成としても良い。このような構成を探ることで、さらなる消費電力の低減およびMRAMの動作速度をさらに向上させることができる。

【0331】<D. 実施の形態4>

<本実施の形態の特徴>本発明の実施の形態4に係るMRAMは、インダクタで発生した磁界を用いて、複数のMRAMセルの記憶データを一括消去あるいは一括書き込みすることを特徴とする。

【0332】<D-1. 装置構成>図39は本発明の実施の形態4に係るMRAM800の構成を示す斜視図である。図39において、互いに平行に配設されたワード線1、2および3の上部において交差するように、ビット線4、5および6が互いに平行に配設され、ワード線およびビット線で挟まれる各交点にMRAMセルMCが形成されてMRAMセルアレイMCA1を構成している。

【0333】MRAMセルMCの構成は図1を用いて説明しており、重複する説明は省略するが、MRAMセルMCを構成するソフト強磁性体層のイージーアクシスの方向は矢示すように各ワード線の延在方向である。

【0334】そして、MRAMセルアレイMCA1を取り巻くようにコイル状のインダクタIDが配設されている。

【0335】インダクタIDは、金属配線をコイル状に接続して構成され、ワード線1～3が延在する方向に沿って巻き回されている。

【0336】そして、インダクタIDの両端部は、電流を双方向に流すことができるインダクタ駆動回路(図示せず)に接続されており、インダクタIDに流す電流の向きを変えることで、インダクタIDで囲まれる領域に発生する磁界の方向を変更することができる構成となっている。なお、インダクタIDにより発生する磁界は、ワード線1～3が延在する方向、すなわち、MRAMセルMCを構成するソフト強磁性体層のイージーアクシスの方向にほぼ一致している。

【0337】従って、MRAMセルアレイMCA1の複数のMRAMセルMCに対して、データの一括消去、あるいは、一括書き込みを行う場合には、インダクタ駆動回路からインダクタIDに所定方向に電流を流し、発生する磁界によってソフト強磁性体層のスピニの方向を一斉に変更することができる。

【0338】なお、図39においては説明の便宜上、3行3列のメモリセルアレイが示されているが、行と列のサイズは、これに限定されるものではない。

【0339】また、インダクタID、ワード線1～3、ビット線4～6等の各導体線間は、気体、あるいは、固体の絶縁体が配設されているが、図39では便宜的に表示を省略している。

【0340】また、図39では、説明の便宜上、インダクタIDの巻き線のピッチは、MRAMセルアレイMC A1のピッチより大きく示しているが、これに限定されるものではない。

【0341】また、MRAMセルMCの構成に特に限定ではなく、例えば図30を用いて説明した2重磁気トンネル接合を有する構成であっても良く、少なくとも1つの磁気トンネル接合を有していれば良い。例えば、少なくとも1つの磁気トンネル接合と静磁気結合で磁束をループし、磁性体／非磁性体／磁性体構造を備えたメモリセルでも良い。

【0342】また、インダクタは、ソフト強磁性体層のイージーアクシスの方向に一致する磁界を発生できるのであればコイル状でなくとも良い。

【0343】ここで、図39におけるA-A線での断面図である図40～図42を用いて、MRAM800の動作について説明する。なお、インダクタIDの巻き線ピッチは、説明の便宜上、図39とは異なるピッチで示している。

【0344】図40は、一括消去前の状態の一例を示している。図40に示すようにMRAMセルMCはpn接合ダイオードPNの上部に、磁気トンネル接合(MTJ)が配設された構成を有している。そしてビット線5の下部のMRAMセルMCを構成するソフト強磁性体層22のスピニの方向は図に向かって左を向いており、他のMRAMセルMCのスピニの方向は右を向いている。そして、一括消去動作および一括書き込み動作をしない状態、すなわち、インダクタIDがスタンバイの状態で

は、インダクタIDは接地されている。これにより、外部のノイズを遮断してMRAMセルアレイMCA1を保護する効果を奏する。

【0345】図41は一括消去の状態の一例を示している。一括消去の信号がインダクタ駆動回路に入力されると、インダクタIDに第1の方向の電流が流れ、矢示すように右方向の磁界が発生する。このとき、インダクタIDのピッチが狭いほど、インダクタ内部の磁界が外部へ漏れることが少くなり、効率よく磁界を発生することができる。

【0346】ここで、消去を表すスピニの方向を図中の右向きとすると、インダクタ内部に発生した右方向の磁界により、全てのMRAMセルMCのソフト強磁性体層22のスピニが同時に右側を向き、データが一括消去される。

【0347】図42は一括書き込みの状態の一例を示している。一括書き込みの信号がインダクタ駆動回路に入力されると、インダクタIDに第1の方向とは反対の第2の方向に電流が流れ、矢示すように左方向の磁界が発生する。

【0348】ここで、書き込みを表すスピニの方向を図中の左向きとすると、インダクタ内部に発生した左方向の磁界により、全てのMRAMセルMCのソフト強磁性体層22のスピニが同時に左を向き、データが一括して書き込まれる。

【0349】<D-2. 作用効果>複数のMRAMセルの記憶データを一括消去あるいは同じデータを一括して書き込む場合、ワード線とビット線で逐一アドレスを選択して記憶データを消去あるいは書き込む方法では、時間がかかり、かつ、消費電力も大きい。

【0350】一方、本実施の形態によるMRAMでは、複数のMRAMセルのデータを一括消去あるいは一括書き込みできるため、短時間で処理でき、かつ、インダクタIDにより効率よく磁界を発生させるので、消費電力も少なくて済む。

【0351】<D-3. 変形例>複数のMRAMセルの記憶データを一括消去あるいは一括書き込みするためには、インダクタ以外の構成を探ることもできる。

【0352】図43に、本実施の形態4の変形例としてMRAM900の平面構成を示す。なお、図43においては、説明の便宜上、4行4列のMRAMセルアレイMCA2を示しているが、行と列のサイズは、これに限定されるものではない。

【0353】図43に示すように、MRAMセルアレイMCA2の上下に、データの一括処理のためのフラッシュビット線FBLおよびフラッシュワード線FWLを配設している。

【0354】フラッシュビット線FBLおよびフラッシュワード線FWLは、それぞれ複数のビット線BL1およびワード線WL1が配列された領域全域に対応して設

けられ、図43においては何れも平面視形状が矩形状となっている。

【0355】図43においてはワード線WL1の上部においてビット線BL1が交差する構成となっており、ワード線WL1およびビット線BL1の交差部の両線の間にMRAMセルMCが配設されている。

【0356】そして、フラッシュワード線FWLはワード線WL1の下部に、フラッシュビット線FBLはビット線BL1の上部に配設されている。なお、図43においては最上部のフラッシュビット線FBLを便宜的に、部分的に削除して示している。

【0357】図43におけるA-A線およびB-B線での断面構成を、図44および図45にそれぞれ示す。

【0358】図45に示すようにMRAMセルMCはpn接合ダイオードPNの上部に、磁気トンネル接合(MTJ)が配設された構成を有している。

【0359】このように、MRAMセルアレイMCA2の上下に、フラッシュビット線FBLおよびフラッシュワード線FWLを配設し、一括消去あるいは一括書き込みに際しては、フラッシュビット線FBLおよびフラッシュワード線FWLに所定方向の電流を流すことで、全てのMRAMセルMCのソフト強磁性体層のスピニを同時に同じ方向に向けることで一括消去あるいは一括書き込みが実現できる。

【0360】なお、フラッシュビット線FBLおよびフラッシュワード線FWLにおいて、一括消去あるいは一括書き込みのために流す電流の方向は、MRAMセルMCに、個々にデータの消去あるいは書き込みを行う際にビット線BLおよびワード線WL流す電流の方向と同じにすれば良い。

【0361】なお、フラッシュビット線FBLおよびフラッシュワード線FWLは、両方備えても良いし、片方のみでも良い。すなわち、発生する磁界は電流の大きさに比例するので、電流を多く流せば、一方だけでもスピニの反転は可能である。

【0362】なお、フラッシュビット線FBLおよびフラッシュワード線FWLの両方を用い、両線により同じ大きさの磁界を発生させる方が、スピニを反転させるのに必要な電流の総和は小さくできる。

【0363】また、一括消去動作および一括書き込み動作をしない状態、すなわちフラッシュビット線FBLおよびフラッシュワード線FWLのスタンバイ時には、フラッシュビット線FBLおよびフラッシュワード線FWLを接地することで、外部の磁界や電界に起因するノイズを遮蔽して、MRAMセルアレイMCA2を保護する効果を奏する。

【0364】なお、以上説明したMRAM900においては、MRAMセルアレイMCA2を1つ有する構成を示したが、MRAMセルアレイを複数有する構成においても適用可能である。当該構成をMRAM900Aとし

て図46に示す。

【0365】図46に示すように、MRAM900Aにおいては複数のMRAMセルアレイMCA2がマトリックス状に配設されており、MRAMセルアレイMCA2の配列に対応するように、MRAMセルアレイMCA2の配列の上下に、データの一括処理のためのグローバルフラッシュビット線GBLおよびグローバルフラッシュワード線GWLをマトリックス状に配設している。

【0366】グローバルフラッシュビット線GBLおよびグローバルフラッシュワード線GWLは、図43に示すフラッシュビット線FBLおよびフラッシュワード線FWLと同じ機能を有し、説明は省略するが、複数のMRAMセルアレイMCA2に共通に使用されるので名称を変更している。

【0367】なお、以上説明したフラッシュビット線FBLおよびフラッシュワード線FWL、グローバルフラッシュビット線GBLおよびグローバルフラッシュワード線GWLの制御回路は、図27、図31、図33において説明した、行読み出し／書き込み第1制御回路RRW1、行読み出し／書き込み第2制御回路RRW2、および列読み出し／書き込み第1制御回路CRW1、列読み出し／書き込み第2制御回路CRW2を使用しても良い。

【0368】また、図46に示すMRAM900Aのよう、複数のMRAMセルアレイMCA2を有する構成においては、一括消去あるいは一括書き込みの対象となるMRAMセルアレイMCA2と同じ列および同じ行における非選択のMRAMセルアレイMCA2においても電流が流れる可能性があるので、消費電流を低減する目的で、図34～図38を用いて説明した、分割されたワード線、分割されたビット線、階層化されたワード線、階層化されたビット線の技術的思想を、グローバルフラッシュビット線GBLおよびグローバルフラッシュワード線GWLに適用しても良い。

【0369】<E. 実施の形態5>

<本実施の形態の特徴>本発明の実施の形態5に係るMRAMは、インダクタとキャパシタのLC共振を利用して、電流をリサイクルし、少なくとも1回以上の記憶データの書き換えに利用することを特徴とする。

【0370】<E-1. 装置構成>図47は本発明の実施の形態5に係るMRAM1000の平面構成を示す図である。図47においてMRAMセルアレイMCA3の複数のビット線BL1の第1の端部にマルチプレクサMUX1が接続され、第2の端部にマルチプレクサMUX2が接続されている。また、複数のワード線WL1の第1の端部にはドレイン電圧VDDが与えられ、複数のワード線WL1のそれぞれの第2の端部にはNMOSトランジスタQN1が接続されている。

【0371】また、マルチプレクサMUX1には複数のビット線BL1の本数に対応して設けられた複数のNM

OSトランジスタQM1が接続され、各NMOSトランジスタQM1のソース電極にはキャパシタCP1が接続されている。

【0372】また、マルチプレクサMUX2は、2本のビット線BL1に対して1つのインダクタID1が接続されるように構成されており、結果的にマルチプレクサMUX2には、複数のビット線BL1の総数の半分に相当する個数のインダクタID1が接続されている。

【0373】なお、ビット線BL1およびワード線WL1には、図26を用いて説明した列デコーダや行デコーダ、および制御回路が接続されているが、それらは本実施の形態との関連が薄く、また説明の簡略化のため図示および説明は省略する。

【0374】<E-2. 装置動作>次に、MRAM100の動作について説明する。なお、以下においては便宜的に、ビット線BL1にBL1aおよびBL1bの符号を付して区別する場合もある。

【0375】まず、選択アドレスを含むワード線WL1が選択され、当該選択ワード線WL1に直流電流IDCが流れる。

【0376】次に、選択アドレスを含むビット線BL1がマルチプレクサMUX1により選択され、当該選択ビット線BL1aを経由して書き込み電流I1がマルチプレクサMUX2に流れ込む。この場合、マルチプレクサMUX2によって、選択ビット線BL1aに接続されるインダクタID1が選択され、書き込み電流I1のエネルギーがインダクタID1中に磁場として保存される。

【0377】上記インダクタID1に接続される、もう一方のビット線BL1をマルチプレクサMUX2によって選択しておくと、インダクタID1を流れた書き込み電流I1が当該選択ビット線BL1bに流れ、電流I2として再利用することができる。

【0378】この電流I2は、マルチプレクサMUX1を経由して、空いてるキャパシタCP1に電荷として蓄えられ、再びマルチプレクサMUX1およびMUX2を適宜接続することで原理的に何度も書き込みをすることができる。

【0379】なお、複数のNMOSトランジスタQM1はキャパシタCP1への電荷の蓄積および、キャパシタCP1からの電荷の放出のタイミングに合わせてオン・オフ制御され、また、複数のNMOSトランジスタQN1は、ワード線WL1に直流電流IDCを流すタイミングに合わせてオン・オフ制御される。

【0380】<E-3. 作用効果>以上説明したように、ビット線BL1における書き込み電流をインダクタID1およびキャパシタCP1のLC共振を利用してリサイクルすることで、書き込み時の消費電力を低減することができる。

【0381】<E-4. 変形例>本実施の形態の変形例として、図48にMRAM1100の平面構成を示す。

MRAM1100においては、図47に示したMRAM100の構成に加えて、MRAMセルアレイMCA3の複数のワード線WL1の第1の端部にマルチプレクサMUX3が接続され、第2の端部にマルチプレクサMUX4が接続されている。

【0382】また、マルチプレクサMUX3には複数のワード線WL1の本数に対応して設けられた複数のNMOSトランジスタQN1が接続され、各NMOSトランジスタQN1のソース電極にはキャパシタCP2が接続されている。

【0383】また、マルチプレクサMUX4は、2本のワード線WL1に対して1つのインダクタID2が接続されるように構成されており、結果的にマルチプレクサMUX4には、複数のビット線WL1の総数の半分に相当する個数のインダクタID2が接続されている。

【0384】このような構成のMRAM1100においては、ビット線BL1における書き込み電流だけでなく、ワード線WL1における書き込み電流をインダクタID2およびキャパシタCP2のLC共振を利用してリサイクルすることができ、書き込み電流の消費に起因する消費電力をさらに低減することができる。

【0385】なお、インダクタID2およびキャパシタCP2のLC共振による書き込み電流のリサイクル動作は、インダクタID1およびキャパシタCP1のLC共振によるそれと同様であるので説明は省略する。

【0386】また、インダクタID1およびキャパシタCP1、インダクタID2およびキャパシタCP2において消費される電流については、マルチプレクサMUX1～MUX4に設けられた、一般的な電流検出型補償回路によって補償される。

【0387】なお、インダクタID1およびID2としては、例えば、配線を渦巻き状に巻き回して形成されたスパイラルインダクタを用いれば良い。

【0388】図47および図48に示す構成は一例であり、LC共振を利用して書き込み電流のリサイクルを図ることができるのであれば上記構成に限定されるものではない。

【0389】<F. 実施の形態6>

<本実施の形態の特徴>本発明の実施の形態5に係る磁性体基板は、予め主面上に磁気トンネル接合(MTJ)となる多層膜が形成されていることを特徴としている。

【0390】<F-1. 基板構成>図49に本発明の実施の形態5に係る磁性体基板の断面構成を示す。図49において、シリコン基板SBの主面全面に、シリコン酸化膜あるいはシリコン窒化膜等の絶縁膜IL1が配設され、その上に、後にワード線あるいはビット線となる導体層ML1が配設されている。

【0391】導体層ML1の上部には、比較的高濃度のn型不純物を有するn型シリコン層SF1および比較的高濃度のp型不純物を有するp型シリコン層SF2が積

層されている。この2層は後にp-n接合ダイオードとなる。

【0392】そして、p型シリコン層SF2の上部には、後にタンゲステンスタッドとなるタンゲステン層STDが形成され、タンゲステン層STD上には後にMTJとなる多層膜が配設されている。

【0393】すなわち、下から順に、白金(Pt)で構成されるテンプレート層TPL、Ni₈₁Fe₁₉のパーマロイで構成される初期強磁性体層IFL(膜厚4nm)、Mn₅₄Fe₄₆で構成される反磁性体層AFL(膜厚10nm)、CoFeあるいはNi₈₁Fe₁₉のパーマロイで構成される強磁性体層FFL(膜厚8nm)、Al₂O₃で構成されるトンネルバリア層TBL、膜厚2nmのCoFeと膜厚20nmのNi₈₁Fe₁₉の多層膜で構成されるソフト強磁性体層FML、Ptで構成されるコンタクト層CLを備えている。

【0394】また、コンタクト層CLの上部には、後にワード線あるいはピット線となる導体層ML2が配設され、最上部には金属層の酸化防止膜として絶縁膜IL2が配設されている。

【0395】このような磁性体基板を販売すれば、ユーザーはフォトレジストマスクを用いて、例えばアルゴンイオンミーリングでパターニングすることで、例えば図39に示すようなMRAMセルアレイMCA1を形成することができる。

【0396】<F-2. 作用効果>このように、主面上に予めp-n接合ダイオードおよびMTJとなる多層膜が形成された磁性体基板を基板メーカーが販売し、ユーザーは当該磁性体基板を用いることで、単なるシリコン基板を準備し、その主面上に多層膜を形成する場合に比べて製造工程を省略でき、製造コストを削減できる。

【0397】<F-3. 変形例>図50に、SOI(Silicon On Insulator)基板の主面上に、予め、p-n接合ダイオードおよびMTJとなる多層膜が形成された磁性体基板を示す。

【0398】図50においては、シリコン基板SB上に埋め込み酸化膜BXが配設され、埋め込み酸化膜BX上にSOI層SIが配設されている。そして、SOI層SI上には図49示すのと同じ多層膜が配設されている。

【0399】図31および図33を用いて説明したように、MRAMにはMOSFETが必要である。そして、SOI層上にMOSFETを形成すると寄生容量を低減できるので、MOSFETの動作速度を速くして、結果的にはMRAMの動作速度も速くすることができる。

【0400】なお、以上説明した実施の形態6においては、磁気トンネル接合となる多層膜がバルクシリコン基板やSOI基板上に堆積された構成を示し、それを磁性体基板と呼称したが、磁気トンネル接合となる多層膜(薄膜磁性体の多層膜)は、ガラス基板や樹脂基板上に堆積しても良く、土台となる基板の種類は半導体基板に

限定されない。

【0401】従って、本発明においては、何らかの基板を土台として薄膜磁性体の多層膜を堆積した構成を薄膜磁性体基板と呼称している。

【0402】<G. 実施の形態7>

<本実施の形態の特徴>本発明の実施の形態7に係るMRAMは、基板の主面上に形成された各種機能ブロックの上に形成されていることを特徴とする。

【0403】<G-1. 装置構成>まず、本実施の形態10との差異を説明するため、図51に、従来の一般的な半導体記憶装置の構成をブロック図で示す。

【0404】図51において、メモリセルアレイ31の周辺回路として、列アドレスバッファ31、列デコーダ32、列読み出し/書き込み制御回路33、行アドレスバッファ34、行デコーダ35および行読み出し/書き込み制御回路36が、メモリセルアレイ31の周囲に配設されている。

【0405】また、その他の機能ブロックとして、装置外部との信号の送受信を行う入出力バッファ(I/Oバッファ)、および上記信号が規格値よりも大きかったり

(overshoot)、小さかったり(undershoot)した場合に、規格値に戻すESD(Electric Static Discharge)回路44、変調されている信号を復調したり、信号を変調する機能を有する変調/復調回路(Modulator/Demodulator)43、デジタル信号を処理する機能を有するDSP(Digital Signal Processing)42、メモリセルアレイ31と周辺回路間のデータの授受の仲介(一時的にデータを保持したり、周辺回路とメモリセルアレイ31間のデータの送受信の同期を取るなど)を行う、ファーストキャッシュ51およびセカンドキャッシュ52、メモリセルアレイ31のデータの入出力を制御する入出力コントローラ(I/Oコントローラ53)、データの演算処理を行うCPU(Micro processor)41を備えている。

【0406】従来の半導体記憶装置、例えばDRAM、SRAMおよびEEPROM等では、メモリセルアレイにMOSFETを含むため、半導体基板の主面上に形成する必要があり、結果的に、メモリセルアレイが各機能ブロックと同一の半導体基板の主面表面上に形成されていた。

【0407】ここで、図52に本発明の実施の形態7に係るMRAM1200の構成をブロック図で示す。

【0408】図52において、MRAMセルアレイMC-Aは、MRAMセルアレイMCAの周辺回路、すなわち、列アドレスバッファCAB、列デコーダCD、列読み出し/書き込み制御回路CRW、行アドレスバッファRAB、行デコーダRDおよび行読み出し/書き込み制御回路RRWの配設領域の上部にオーバーラップして配設されている。

【0409】なお、周辺回路の構成は、例えば図26を

用いて説明した構成と同様であり、またその他の機能ブロックについては従来からの半導体記憶装置と同様であるので説明は省略する。

【0410】<G-2. 作用効果>MRAMセルアレイMCAは、図28、図31および図33を用いて説明したように、その内部にMOSFETを含まず、半導体素子としてはpn接合ダイオードのみを含むので、形成領域が基板の正面表面に限定されることはない。

【0411】従って、MRAMセルアレイMCA以外の構成、すなわちMRAMセルアレイMCAの周辺回路を含め、各種機能ブロックは基板の正面表面上に形成し、MRAMセルアレイMCAはその上層に形成することで装置面積を削減できる。

【0412】<G-3. 変形例>図53に本実施の形態の変形例としてMRAM1300の構成をブロック図で示す。

【0413】図53に示すようにMRAM1300においては、MRAMセルアレイMCAが、周辺回路および各種機能ブロックが形成された領域の上部全体にオーバーラップして配設されている。

【0414】このように、MRAMセルアレイMCAと、周辺回路および各種機能ブロックとを別個の層に形成することで、MRAMセルアレイMCAの配設位置や大きさの選択の自由度が増すことになり、装置面積を削減できるとともに、装置レイアウトの選択性も高めることができる。

【0415】<H. 実施の形態8>

<本実施の形態の特徴>本発明の実施の形態8に係るMRAMは、MRAMセルアレイと、MRAMセルアレイの周辺回路および各種機能ブロックとを別個の半導体チップとし、両チップをモジュールとして1つのパッケージに収納したMCP (Multi Chip Package) の形態を探ることを特徴とする。

【0416】<序論>MRAMセルアレイの周辺回路および各種機能ブロックの製造時の最大形成温度は1000～1200℃程度であり、一方、MRAMセルアレイの製造時の最大形成温度はキュリー温度で決まり400～700℃程度である。

【0417】両者を同一の半導体基板上に形成する場合、形成温度の違いによる不具合を防止するため、最大形成温度が400～700℃程度である配線工程においてMRAMセルアレイを形成している。

【0418】そのため、MRAMの製造工程においては工程がシーケンシャルになり、製造コストがかかる問題があった。

【0419】一方、昨今では1つのパッケージに複数の半導体チップを収納したMCP構造が使用されつつある。このような現状に鑑み、発明者等は、MRAMセルアレイと、MRAMセルアレイの周辺回路および各種機能ブロックとを別個の半導体チップとし、両チップをモ

ジュールとして1つのパッケージに収納した構成のMRAMであれば上記問題は解決との結論に達したが、現実にMCP構造のMRAMを得るには、従来のパッケージ構造ではMRAMに対応できないという認識に至った。

【0420】以下、MCP構造のMRAMを実現するための課題を説明した上で、実施の形態8に係るMRAM2000の構成について説明する。

【0421】<H-1. 従来のMCP構造について>半導体装置を含む半導体チップの実装方法として、従来、QFP (Quad Flat Package) が用いられていたが、実装面積が大きいという問題点があった。そこで、チップ面積とほとんど同じ大きさの実装面積で済むCSP (Chip Size Package) が近年、使われ始めている。この実装方法は、QFPに比べてはるかに小さな実装面積で済むので、携帯電話用LSIやPc (Personal Computer) 用DRAM等に用いられている。

【0422】図54に、従来のCSPの構成の一例を断面図で示す。図54において、半導体チップ122は、箱形のパッケージ129の内部に収納され、半導体チップ122の下正面はパッシベーション膜123によって覆われて外部環境から保護されている。

【0423】パッシベーション膜123は塗化シリコン膜や酸塗化シリコン膜等の絶縁膜で構成され、パッシベーション膜123には複数の開口部が設けられ、半導体チップ122の入出力端子となるチップ電極132が、パッシベーション膜123を貫通する構成となっている。

【0424】パッケージ129は有底無蓋の箱状をなし、その開口部から半導体チップ122が挿入される。ここで、パッケージ129の開口部は最終的には底面基板134によって覆われる。当該底面基板134の本体はポリイミド樹脂等の絶縁材で構成され、その外側に面した主面には、複数の遮蔽用半田バンプ125および信号伝送用半田バンプ127が配設されている。

【0425】底面基板134は、遮蔽用半田バンプ125および信号伝送用半田バンプ127を内部の構成に電気的に接続する複数の内部配線130および131を有している。

【0426】内部配線130および131は、何れも底面基板134の内側に向いた主面上に配設されたキャリアフィルム124に接続されている。後に説明するように、キャリアフィルム124は絶縁フィルム上に配設された電気配線（パッドを含む）と接着層133とを有している。信号伝送用半田バンプ127からの電気信号は、内部配線130およびキャリアフィルム124のパッドに接続しているチップ電極132を介して半導体チップ122に伝達される。また、接着層133は、キャリアフィルム124と半導体チップ122とを接着する。なお、図54には示されていないが、キャリアフィルム124は底面基板134とも別の接着層により接着

されている。

【0427】また、底面基板134の内部には導体で構成される遮蔽電極126が埋め込まれている。遮蔽電極126の平面視形状は矩形環状をなし、内部配線130が遮蔽電極126に接触せずに通過できる開口部を有した構造となっている。図54は遮蔽電極126の開口部を切断する位置での断面図であり、当該開口部は破線で示している。

【0428】遮蔽電極126は、遮蔽用半田バンプ125および内部配線131を介して電源電位あるいは接地電位に固定され、内部配線130が外部の電気ノイズを拾うことを防止することができる。

【0429】また、半導体チップ122を囲むようにキャリアフィルム124の上主面上に遮蔽電極126bが配設されている。遮蔽電極126bは平面視形状が矩形環状の平板であり、キャリアフィルム124上の電気配線を介して内部配線131に電気的に接続され、電源電位あるいは接地電位に固定される。

【0430】遮蔽電極126bを覆うように応力緩和膜135が配設されている。応力緩和膜135は、半導体チップ122と底面基板134との間の応力を緩和する働きをする。

【0431】応力緩和膜135の断面形状は本来は矩形であるが、半導体チップ122の端縁部とキャリアフィルム124との間に挟まれ、変形するとともに部分的に厚さが薄くなる。すなわち、半導体チップ122の端縁部とキャリアフィルム124とに挟まれた部分に応力が集中するが、厚さが薄くなることで応力が緩和される。

【0432】応力緩和膜135には、例えば熱可塑性エラストマーが用いられる。熱可塑性エラストマーは、常温ではゴム弾性を示すが、高温では可塑化され、各種成形加工ができる高分子材料である。

【0433】また、半導体チップ122と応力緩和膜135との接着材にはエポキシ樹脂等が使用される。熱可塑性エラストマーの体積膨張率は約 2.7×10^{-6} であるのに対し、シリコンの体積膨張率は約 3.1×10^{-6} であり、体積膨張率の差が小さいので、熱応力を緩和できる。

【0434】半導体パッケージにおいて、端子数の増大とパッケージの小型化を両立させるためには、内部配線が長く、かつ、細くなり、ノイズを拾いやすくなるという問題点があるので、遮蔽電極126と遮蔽用半田バンプ125が配設されている。また、半導体チップ122と底面基板134との間の熱応力が大きくなり、電気的接続の信頼性が低下することを防止するために応力緩和膜135が配設されている。

【0435】遮蔽電極126の機能は上述した通りであり、遮蔽電極126は内部配線131を介して遮蔽用半田バンプ125に接続されている。そして、遮蔽用半田バンプ125は信号伝送用半田バンプ127の周囲を囲

むように配設され、信号伝送用半田バンプ127を介して内部配線130が外部の電気的ノイズを拾うことを防止する機能を有している。なお、図示は省略するが、遮蔽用半田バンプ125および信号伝送用半田バンプ127は、配線がプリントされたマザーボードに接続される。

【0436】また、従来においてMCP構造はQFPにおいてのみ実現されていた。図55にQFPを用いたMCP構造の断面構成を示す。図55においては、1つのパッケージ107内に3つの半導体チップ102a、102bおよび102cが積み重ねられて配設され、樹脂106で封止されている。

【0437】一例として、半導体チップ102a、102cがSRAM、半導体チップ102bがフラッシュEEPROMである。

【0438】各半導体チップ間は内部配線109によって接続され、外部との電気的接続は、ボンディングワイヤ112を介して外部リード線113によりなされる。

【0439】このような構成とすることで、1つのパッケージに1つの半導体チップしか有さないものよりも、同一占有面積に対して、より多くのメモリ容量を得ることができる。それゆえ、携帯情報端末に対して需要が多い。

【0440】しかしながら、QFPはチップ面積に比べて実装面積が大きくなり、かつ、外部リード線がノイズを拾いやすいという問題点があった。

【0441】このように、CSPにしてもQFPにしても一長一短があり、さらに、MRAMにおいては、外部磁界の影響でソフト強磁性体層のスピニが反転することを防止する必要が生じるので、従来のパッケージの構成をそのまま採用することはできなかった。

【0442】<H-2. 装置構成>以下、図56～図65を用いて実施の形態8に係るMRAM2000の構成について説明する。

【0443】図56にMRAM2000の断面構成を、また図57にMRAM2000を下部側から見た平面構成を示す。なお、図56は、図57におけるA-A線での断面を示している。

【0444】図56に示すように、MRAMセルアレイの周辺回路および各種機能ブロックを含む半導体チップ122は、パーマロイ(Ni₈₀Fe₂₀)等の高透磁率の導体で構成される箱形の遮蔽体SHBに収納されている。

【0445】遮蔽体SHBの材料として、例えばMRAMメモリセルに用いられるソフト強磁性体と同等か、それよりも大きな透磁率を有する強磁性体として、パーマロイの他にスーパーパーマロイ(Mo₅Ni₇₉Fe₁₆)を用いても良い。保磁力が大きい強磁性体は永久磁石として働き、周辺の電気機器に影響を与える可能性もあるので、保磁力の小さい強磁性体が望ましい。パーマロイやスー

パマロイ、Mn50Zn50等のフェライトはこの条件を満たす材料である。

【0446】遮蔽体SHBの内壁面には、熱可塑性エラストマーで構成される応力緩和膜235が配設されている。応力緩和膜235は半導体チップ122と遮蔽体SHBとの応力を緩和する働きをする。

【0447】遮蔽体SHBは、その本体部となる筒状の外枠部237と、外枠部237の一方端を覆う上部板238と、外枠部237の他方端を覆う下部板236とを有して構成され、応力緩和膜235は上部板238および外枠部237の内面に配設されている。

【0448】また、下部板236には開口部が設けられ、当該開口部を半導体チップ122に接続された内部配線130が貫通する構成となっている。

【0449】パッケージ129は有底無蓋の箱状をなし、その開口部から半導体チップ122を有した遮蔽体SHBが挿入される。

【0450】パッケージ129は遮蔽体SHBを収納してさらに空間的な余裕を有する大きさであり、遮蔽体SHBとパッケージ129の内壁との間には、エポキシ樹脂等の樹脂で構成される樹脂材128が配設されている。

【0451】パッケージ129の開口部は最終的には底面基板134によって覆われる。当該底面基板134の本体はポリイミド樹脂等の絶縁材で構成され、その外側に面した主面には、複数の遮蔽用半田バンプ125および信号伝送用半田バンプ127が配設されている。なお、底面基板134はキャリアフィルム124や下部板236等に塗布された接着剤により固定される。

【0452】底面基板134は、遮蔽用半田バンプ125および信号伝送用半田バンプ127を内部の構成に電気的に接続する複数の内部配線130および131を有している。

【0453】内部配線130および131は、何れも底面基板134の内側に向いた主面上に配設されたキャリアフィルム124に接続されるように配設され、内部配線131はキャリアフィルム124上に配設されているパッドおよび電気配線を介して遮蔽体SHBの下部板236に電気的に接続されている。

【0454】また、内部配線131は、底面基板134の内部に埋め込まれた導体で構成される遮蔽電極126に電気的に接続されている。なお、遮蔽電極126の一部は、必ずしも内部配線130および131と同一断面内に存在するわけではないので、図56においては破線で示している。

【0455】なお、遮蔽電極126は電源電位あるいは接地電位に固定され、内部配線130が外部の電気ノイズを拾うことを防止する働きをする。

【0456】半導体チップ122の入出力端子となるチップ電極132は、キャリアフィルム124上に設けら

れているパッド（フィルム電極）に直接に接続され、当該キャリアフィルム124上にパターニングされているフィルム電極および電気配線を介して内部配線130に電気的に接続されている。なお、内部配線130は信号伝送用半田バンプ127に接続されている。

【0457】信号伝送用半田バンプ127は、外部と内部の半導体チップとの電気信号の授受を行うための端子であり、遮蔽用半田バンプ125は遮蔽体SHBの電位を接地電位に固定する端子である。

10 【0458】また、図57に示すように遮蔽用半田バンプ125は信号伝送用半田バンプ127を囲むように配設されている。

【0459】なお、信号伝送用半田バンプ127および遮蔽用半田バンプ125は、底面基板134に加わる応力を、取り付け基板（マザーボード）に分散する機能を有しており、遮蔽用半田バンプ125を設けることで、半田バンプ1個あたりに加わる応力を低減することができる。

【0460】<H-3. 実装方法>次に、図58～図62を用いてMRAM2000の実装方法の概略について説明する。なお、図58～図62はMRAM2000の実装方法を模式的に示すものであり、図56に示す構成を正確に表すものではない。

【0461】図58において、底面基板134の上部にキャリアフィルム124が接着されて、キャリアフィルム124上に応力緩和膜223が接着されている。

30 【0462】応力緩和膜223は矩形環状をなし、キャリアフィルム124に設けられたフィルム電極219の配設領域を囲むように配設されている。また、応力緩和膜223には矩形環状の溝224が形成されており、溝224内には遮蔽体SHBの下部板236（図56）が配設されている。なお、溝224内に下部板236が配設された構成は図64（a）、図64（b）に示す。

【0463】また、図示は省略するが、後の工程で、溝224に沿って遮蔽体SHBの外枠部237（図46）が配設され、下部板236に接続される。

【0464】なお、応力緩和膜223が矩形環状をなしていないので、図58に示すX方向およびY方向において同様に応力を緩和することができる。

40 【0465】絶縁体であるキャリアフィルム124上に配設されたフィルム電極219は、内部配線130を介して信号伝送用半田バンプ127に接続される。

【0466】なお、キャリアフィルム124上のフィルム電極219および内部配線130を適宜パターニングすることで、各バンプと各チップ電極との接続を任意に設定できる。

【0467】キャリアフィルム124には、フィルム電極219の他に接着層133が選択的に配設されている。接着層133は、半導体チップ122をキャリアフィルム124と接着するためのものである。

【0468】次に、図59に示す工程において、半導体チップ122の各チップ電極が、キャリアフィルム124の各フィルム電極に接触するように半導体チップ122を搭載し、接着層133により半導体チップ122を固定する。

【0469】図60は、図59に示す状態の底面基板134を逆転させた状態を示しており、底面基板134には半球形の半田バンプ形成孔211が配設されている。内部配線130および131(図56参照)は半田バンプ形成孔211の内壁面に達しており、後の工程で半田バンプ形成孔211内を半田バンプが埋めると、半田バンプと内部配線130および131とが電気的に接続されることになる。なお、半田バンプの代わりに導電性ポリマーを用いても良い。

【0470】図61は、半田バンプ形成孔211上に信号伝送用半田バンプ127および遮蔽用半田バンプ125を配設した状態を示している。

【0471】そして、応力緩和膜235(図56)を内部に有した遮蔽体SHBで半導体チップ122を覆った後、有底無蓋のパッケージ129に挿入し、隙間に樹脂等の封止剤を注入することで、図62に示すように裏面に、信号伝送用半田バンプ127および遮蔽用半田バンプ125を有した構成を得る。

【0472】ここで、図63、図64(a)および図64(b)を用いて、遮蔽体SHBを構成する下部板236と、応力緩和膜223の平面視形状を説明する。なお、図63は、図56におけるB-B線での概略の断面構成を示し、図64(a)および図64(b)は、図63におけるC-C線およびD-D線での断面構成を示している。

【0473】図63に示すように、下部板236は中央に矩形の開口部OPを有する矩形の平板で構成され、底面基板134側には、遮蔽用半田バンプ125に電気的に接続する矩形環状の遮蔽電極126(図56)が配設される。なお、遮蔽電極126の外形寸法は下部板236の外形寸法と略同じである。

【0474】なお、応力緩和膜223は遮蔽体SHBの開口部端縁の内側および外側に配設され、また応力緩和膜235(図56参照)が遮蔽体SHBの内側全体に配設されているので、半導体チップ231と半導体チップ232に加わる外部からの応力を低減できる。

【0475】<H-4. 作用効果>以上説明した実施の形態8に係るMRAM2000によれば、MRAMセルアレイを含む半導体チップ122を外部磁界から遮蔽する遮蔽体SHBで囲むようにしたので、外部磁界によりMRAMセルのスピンが反転して磁化の方向、すなわちデータが書き換えられることを防止できる。

【0476】また、応力緩和膜223が遮蔽体SHBの開口部端縁の内側および外側に配設され、遮蔽体SHBの内側には応力緩和膜235が配設されているので、M

RAM2000を取り付ける取り付け基板(マザーボード)の曲がり、温度サイクルに起因する外部からの応力が半導体チップ122に加わることを低減できる。

【0477】<H-5. 変形例1>なお、以上説明したMRAM2000では、実装する半導体チップは1つとして示したが、図65に示すMRAM2100のように、MRAMセルアレイの周辺回路および各種機能ブロックが含まれた半導体チップ122a(回路チップ)の上に、MRAMセルアレイを含む半導体チップ122b(磁気記憶チップ)を載置する構成としても良い。

【0478】半導体チップ122aは両正面にチップ電極を備え、半導体チップ122aと半導体チップ122bとは、両者の間に配設されたキャリアフィルム124b上のフィルム電極および電気配線により接続される。また、半導体チップ122aと半導体チップ122bとは接着層133により接着固定される。

【0479】なお、半導体チップ122aと信号伝送用半田バンプ127との電気的な接続は、図65に示す半導体チップ122と信号伝送用半田バンプ127との接続と同じであり、キャリアフィルム124がキャリアフィルム124aとなっている点以外はMRAM2000と基本的には同じであるので説明は省略する。

【0480】また、半導体チップ122aと半導体チップ122bとは、上下関係を逆に配設しても良い。その場合には、半導体チップ122bの両面にチップ電極を配設すれば良い。

【0481】また、半導体チップ122aと半導体チップ122bとの組み合わせは、少なくとも1方のチップにMRAMセルアレイが配設されれば良く、公知の半導体チップの任意の組み合わせが可能である。

【0482】図65に示すMRAM2100では、MRAMセルアレイの周辺回路および各種機能ブロックが含まれた半導体チップ122aとMRAMセルアレイを含む半導体チップ122bとを別々に製造し、組み合わせるため、形成温度の違いを考慮する必要がなく、個々の形成温度を最適化できる。そして、半導体チップ122aおよび122bを別々に製造するため、製造工程がパラレルに進行し、製造時間が短縮できる。

【0483】<H-6. 変形例2>図56に示すMRAM2000では、遮蔽体SHBの材料に、強磁性体を用いたが、その代わりにIr(イリジウム)を20~30atom.%含むIrMn等の反強磁性体を用いても同様の効果を奏する。

【0484】また、図66に示すMRAM2200のように、遮蔽体SHBを、強磁性体136aと反強磁性体136bとの多層膜で構成しても良い。その場合、底面基板134中の遮蔽電極126も同様に強磁性体126aと反強磁性体126bの多層膜とする。なお、多層膜の上下関係は上記に限定されない。

【0485】

【発明の効果】本発明に係る請求項1記載の磁気記憶装置によれば、少なくとも1つの磁気トンネル接合が、ソフト強磁性体層の磁化の容易な方向であるイージーアクシスが、複数のビット線および複数のワード線の延在方向に対して40～45度の角度を有するように配設されているので、少ない書き込み電流で、ソフト強磁性体層の磁化の方向を確実に反転でき、書き込み時の消費電力を低減することができる。

【0486】本発明に係る請求項2記載の磁気記憶装置によれば、磁気トンネル接合の平面視形状において、イージーアクシスに平行な辺が、イージーアクシスに直交する辺よりも長くなるように矩形に構成されているので、形状に起因する異方性により、イージーアクシスを定めることが容易となり、イージーアクシスが変化することを防止できる。

【0487】本発明に係る請求項3記載の磁気記憶装置によれば、第1および第2の切り替え手段により、ビット線の第1および第2の端部を第1あるいは第2の電源に切り替えて接続できるので、ビット線に双方向の電流を流すことができ、磁気トンネル接合の磁化の方向を変化させて、データの書き込みや消去が可能となる。

【0488】本発明に係る請求項4記載の磁気記憶装置によれば、第1および第2の切り替え手段を同一導電型の第1～第4のMOSトランジスタで構成するので、製造が容易となる。

【0489】本発明に係る請求項5記載の磁気記憶装置によれば、第1の切り替え手段を導電型の異なる第1および第2のMOSトランジスタで構成し、第2の切り替え手段を、導電型の異なる第3および第4のMOSトランジスタで構成するので、第1および第2のMOSトランジスタの一方、および第3および第4のMOSトランジスタの一方の制御電極に、オン状態において電源電圧以上の電圧を加える必要がなくなり、ゲート絶縁膜にかかる負担を小さくできる。

【0490】本発明に係る請求項6記載の磁気記憶装置によれば、第1および第2のMOSトランジスタの第1の主電極間に、常時オン状態となる第5、第6のMOSトランジスタをそれぞれ備えているので、第1および第2のMOSトランジスタの一方の第1の主電極、および第3および第4のMOSトランジスタの一方の第1の主電極に加わるストレス電圧を低減し、ストレス電圧に起因するリーク電流を低減して、消費電力を低減できる。

【0491】本発明に係る請求項7記載の磁気記憶装置によれば、複数のメモリセルアレイを有する磁気記憶装置において、複数のメモリセルアレイに渡る複数のメインワード線と、単一のメモリセルアレイだけに渡るワード線とを用いることで、同一の配線に直接に接続されるメモリセルの個数が減少するので、負荷容量が低減され

る。その結果、負荷容量に起因する遅延時間を短くして、高速アクセスを実現することができる。

【0492】本発明に係る請求項8記載の磁気記憶装置によれば、複数のメモリセルアレイを有するメモリセルアレイ群を複数備える磁気記憶装置において、単一のメモリセルアレイだけに渡るワード線と、複数のメモリセルアレイに渡る複数のメインワード線と、複数のメモリセルアレイ群に渡る複数のグローバルワード線とを用いることで、同一の配線に直接に接続されるメモリセルの個数が減少するので、負荷容量が低減される。その結果、負荷容量に起因する遅延時間を短くして、高速アクセスを実現することができる。

【0493】本発明に係る請求項9記載の磁気記憶装置によれば、複数のメモリセルアレイを有する磁気記憶装置において、複数のメモリセルアレイに渡る複数のメインビット線と、単一のメモリセルアレイだけに渡るビット線とを用いることで、同一の配線に直接に接続されるメモリセルの個数が減少するので、負荷容量が低減される。その結果、負荷容量に起因する遅延時間を短くして、高速アクセスを実現することができる。

【0494】本発明に係る請求項10記載の磁気記憶装置によれば、複数のメモリセルアレイを有するメモリセルアレイ群を複数備える磁気記憶装置において、単一のメモリセルアレイだけに渡るビット線と、複数のメモリセルアレイに渡る複数のメインビット線と、複数のメモリセルアレイ群に渡る複数のグローバルビット線とを用いることで、同一の配線に直接に接続されるメモリセルの個数が減少するので、負荷容量が低減される。その結果、負荷容量に起因する遅延時間を短くして、高速アクセスを実現することができる。

【0495】本発明に係る請求項11記載の磁気記憶装置によれば、ソフト強磁性体層の磁化の容易な方向であるイージーアクシスに沿った方向に磁界を発生させるインダクタを備えることで、少なくとも1つの磁気トンネル接合を有する複数のメモリセルのデータを一括消去あるいは一括書き込みできるので、短時間での処理が可能となる。

【0496】本発明に係る請求項12記載の磁気記憶装置によれば、コイル状のインダクタにより効率よく磁界を発生させるので、複数のメモリセルのデータを一括消去あるいは一括書き込みする場合の消費電力が少なくて済む。

【0497】本発明に係る請求項13記載の磁気記憶装置によれば、少なくとも1つのメモリセルアレイの、複数のビット線および複数のワード線の外側に、フラッシュビット線およびフラッシュワード線を備え、これらに所定方向の電流を流すことで、少なくとも1つの磁気トンネル接合を有する複数のメモリセルのデータを一括消去あるいは一括書き込みできるので、短時間での処理が可能となる。

【0498】本発明に係る請求項14記載の磁気記憶装置によれば、複数のメモリセルアレイがマトリックス状に配設された磁気記憶装置において、フラッシュピット線およびフラッシュワード線も、複数のメモリセルアレイの配列に沿って、マトリックスを構成するように配設することで、複数のメモリセルアレイのデータを一括消去あるいは一括書き込みできるので、短時間での処理が可能となる。

【0499】本発明に係る請求項15記載の磁気記憶装置によれば、選択されたピット線およびワード線の少なくとも1方に流れる電流を、LC共振によって保存する少なくとも1つのインダクタと、少なくとも1つのキャパシタとを備えるので、書き込み電流をリサイクルすることができ、書き込み時の消費電力を低減することができる。

【0500】本発明に係る請求項16記載の磁気記憶装置によれば、ピット線における書き込み電流をリサイクルするための具体的構成を得ることができる。

【0501】本発明に係る請求項17記載の磁気記憶装置によれば、ワード線における書き込み電流をリサイクルするための具体的構成を得ることができる。

【0502】本発明に係る請求項18記載の磁気記憶装置によれば、導体で構成される遮蔽体内に少なくとも1つの半導体チップを収納することで、少なくとも1つの磁気トンネル接合を含む複数のメモリセルにおいて、磁気トンネル接合の磁化の方向が外部磁界によって反転し、データが書き換えられることを防止できる。

【0503】本発明に係る請求項19記載の磁気記憶装置によれば、少なくとも1つの半導体チップが第1および第2の応力緩和膜によって保持されるので、外部からの応力が複数の半導体チップに加わることを低減できる。

【0504】本発明に係る請求項20記載の磁気記憶装置によれば、磁気記憶チップと、メモリセルアレイの周辺回路を含む回路チップとに分けることで、両者別々に製造することになり、形成温度の違いを考慮する必要がなく、個々の形成温度を最適化できる。また、製造工程がパラレルに進行し、製造時間が短縮できる。

【0505】本発明に係る請求項21記載の磁気記憶装置によれば、遮蔽体が、ソフト強磁性体層と同等か、それよりも大きな透磁率を有する強磁性体で構成されるので、外部磁界を有効に遮蔽することができる。

【0506】本発明に係る請求項22記載の磁気記憶装置によれば、遮蔽体が、反強磁性体で構成されるので外部磁界を有効に遮蔽することができる。

【0507】本発明に係る請求項23記載の磁気記憶装置によれば、遮蔽体が、強磁性体と反強磁性体との多層膜で構成されるので外部磁界を有効に遮蔽することができる。

【0508】本発明に係る請求項24記載の磁性体基板

50

によれば、主面全域に配設された、少なくとも1つの磁気トンネル接合を形成する多層膜を少なくとも有しているので、少なくとも1つの磁気トンネル接合を有するメモリセルを備えた磁気記憶装置を製造する場合、単なる半導体基板を準備し、その主面上に多層膜を形成する場合に比べて製造工程を省略でき、製造コストを削減できる。

【0509】本発明に係る請求項25記載の磁性体基板によれば、単磁気トンネル結合を有するメモリセルを備えた磁気記憶装置の製造に適した磁性体基板が得られる。

【0510】本発明に係る請求項26記載の磁性体基板によれば、単磁気トンネル結合の下部にpn接合ダイオードを有したメモリセルを備えた磁気記憶装置の製造に適した半導体基板が得られる。

【0511】本発明に係る請求項27記載の磁性体基板によれば、MOSFETの寄生容量を低減できるSOI基板上に少なくとも1つの磁気トンネル接合が形成されることになるので、MOSFETの動作速度を速くして、結果的には磁気記憶装置動作速度も速くすることができる。

【図面の簡単な説明】

【図1】 MRAMセルの構成を示す斜視図である。

【図2】 一般的なMRAMセルアレイの構成を示す図である。

【図3】 一般的なMRAMセルアレイの動作を説明する図である。

【図4】 スピンを反転させるのに必要な磁界の関係を示す図である。

【図5】 本発明に係る実施の形態1のMRAMセルアレイの構成を示す図である。

【図6】 本発明に係る実施の形態1のMRAMセルアレイの動作を説明する図である。

【図7】 本発明に係る実施の形態1のMRAMセルアレイの構成を示す図である。

【図8】 本発明に係る実施の形態1のMRAMセルアレイの動作を説明する図である。

【図9】 一般的なMRAMセルの動作を説明する図である。

【図10】 一般的なMRAMセルの動作を説明する図である。

【図11】 本発明に係る実施の形態1のMRAMセルの動作を説明する図である。

【図12】 本発明に係る実施の形態1のMRAMセルの動作を説明する図である。

【図13】 本発明に係る実施の形態1のMRAMセルの動作を説明する図である。

【図14】 本発明に係る実施の形態1のMRAMセルの動作を説明する図である。

【図15】 スピンを反転させるのに必要な磁界の関係

を示す図である。

【図16】一般的なMRAMセルの動作を説明する図である。

【図17】一般的なMRAMセルの動作を説明する図である。

【図18】本発明に係る実施の形態1のMRAMセルの動作を説明する図である。

【図19】本発明に係る実施の形態1のMRAMセルの動作を説明する図である。

【図20】本発明に係る実施の形態1のMRAMセルの動作を説明する図である。

【図21】本発明に係る実施の形態1のMRAMセルの動作を説明する図である。

【図22】本発明に係る実施の形態1のMRAMセルの動作を説明する図である。

【図23】本発明に係る実施の形態1のMRAMセルの動作を説明する図である。

【図24】本発明に係る実施の形態1のMRAMセルの動作を説明する図である。

【図25】本発明に係る実施の形態1のMRAMセルの動作を説明する図である。

【図26】本発明の実施の形態2に係るMRAMの構成を示すブロック図である。

【図27】本発明の実施の形態2に係るMRAMの構成を示す回路図である。

【図28】本発明の実施の形態2に係るMRAMの動作を示すタイミングチャートである。

【図29】磁気トンネル抵抗の変化率の印加電圧依存性を示す図である。

【図30】2重磁気トンネル接合の構成を示す図である。

【図31】本発明の実施の形態2に係るMRAMの構成を示す回路図である。

【図32】本発明の実施の形態2に係るMRAMの動作を示すタイミングチャートである。

【図33】本発明の実施の形態2に係るMRAMの構成を示す回路図である。

【図34】本発明の実施の形態3に係るMRAMのワード線を分割した構成示すブロック図である。

【図35】本発明の実施の形態3に係るMRAMのワード線を階層化した構成示すブロック図である。

【図36】本発明の実施の形態3に係るMRAMのワード線を階層化した構成示す概念図である。

【図37】本発明の実施の形態3に係るMRAMのピット線を分割した構成示すブロック図である。

【図38】本発明の実施の形態3に係るMRAMのピット線を階層化した構成示すブロック図である。

【図39】本発明の実施の形態4に係るMRAMの構成を示す斜視図である。

【図40】本発明の実施の形態4に係るMRAMの動

作を説明する断面図である。

【図41】本発明の実施の形態4に係るMRAMの動作を説明する断面図である。

【図42】本発明の実施の形態4に係るMRAMの動作を説明する断面図である。

【図43】本発明の実施の形態4に係るMRAMの変形例の構成を示す平面図である。

【図44】本発明の実施の形態4に係るMRAMの変形例の構成を示す断面図である。

10 【図45】本発明の実施の形態4に係るMRAMの変形例の構成を示す断面図である。

【図46】本発明の実施の形態4に係るMRAMの変形例の構成を示す平面図である。

【図47】本発明の実施の形態5に係るMRAMの構成を示す平面図である。

【図48】本発明の実施の形態5に係るMRAMの構成を示す平面図である。

【図49】本発明の実施の形態6に係る半導体基板の構成を示す断面図である。

20 【図50】本発明の実施の形態6に係る半導体基板の構成を示す断面図である。

【図51】一般的なMRAMの構成を示すブロック図である。

【図52】本発明の実施の形態7に係るMRAMの構成を示すブロック図である。

【図53】本発明の実施の形態7に係るMRAMの構成を示すブロック図である。

【図54】一般的なパッケージ化されたMRAMの構成を示す断面図である。

30 【図55】一般的なパッケージ化されたMRAMの構成を示す断面図である。

【図56】本発明の実施の形態8に係るMRAMの構成を示す断面図である。

【図57】本発明の実施の形態8に係るMRAMの構成を示す平面図である。

【図58】本発明の実施の形態8に係るMRAMの製造工程を示す斜視図である。

【図59】本発明の実施の形態8に係るMRAMの製造工程を示す斜視図である。

40 【図60】本発明の実施の形態8に係るMRAMの製造工程を示す斜視図である。

【図61】本発明の実施の形態8に係るMRAMの製造工程を示す斜視図である。

【図62】本発明の実施の形態8に係るMRAMの製造工程を示す斜視図である。

【図63】本発明の実施の形態8に係るMRAMの部分構成を説明する平面図である。

【図64】本発明の実施の形態8に係るMRAMの部分構成を説明する断面図である。

50 【図65】本発明の実施の形態8に係るMRAMの構

成を示す断面図である。

【図66】 本発明の実施の形態8に係るMRAMの構成を示す断面図である。

【図67】 磁気トンネル接合の概念を示す図である。

【図68】 遷移金属の状態密度を模式的に示す図である。

【図69】 トンネル磁気抵抗効果を説明する模式図である。

【図70】 トンネル磁気抵抗効果を説明する模式図である。

【図71】 磁気トンネル接合の構成例を示す図である。

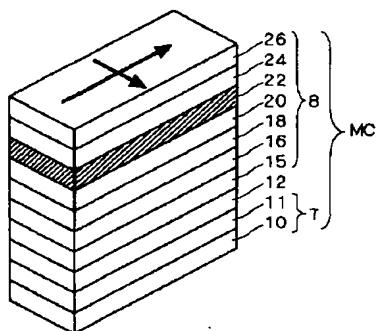
【図72】 磁気トンネル接合の構成例を示す図である。

【図73】 スピンバルブ型強磁性トンネル接合素子の実例を示す図である。

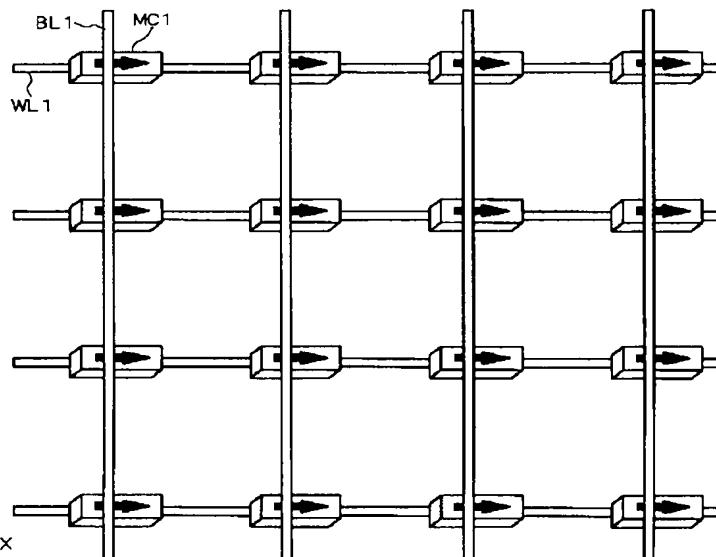
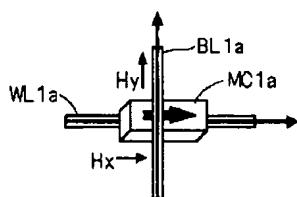
【図74】 スピンバルブ型強磁性トンネル接合素子の実測特性を示す図である。

【図75】 従来のMRAMセルアレイの構成を示す斜*

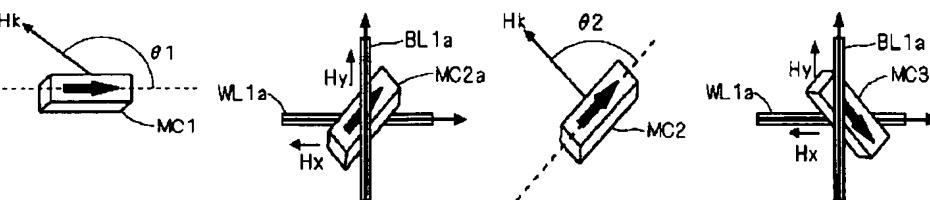
【図1】



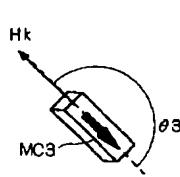
【図9】



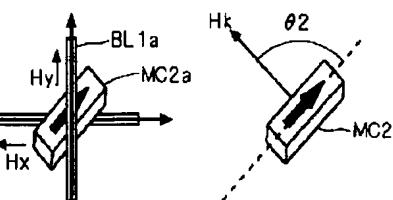
【図10】



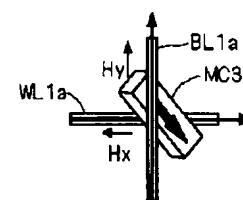
【図14】



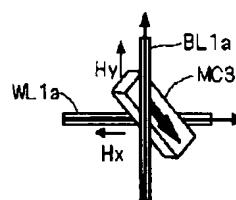
【図11】



【図12】



【図13】



*視図である。

【図76】 従来のMRAMセルアレイの構成を示す斜視図である。

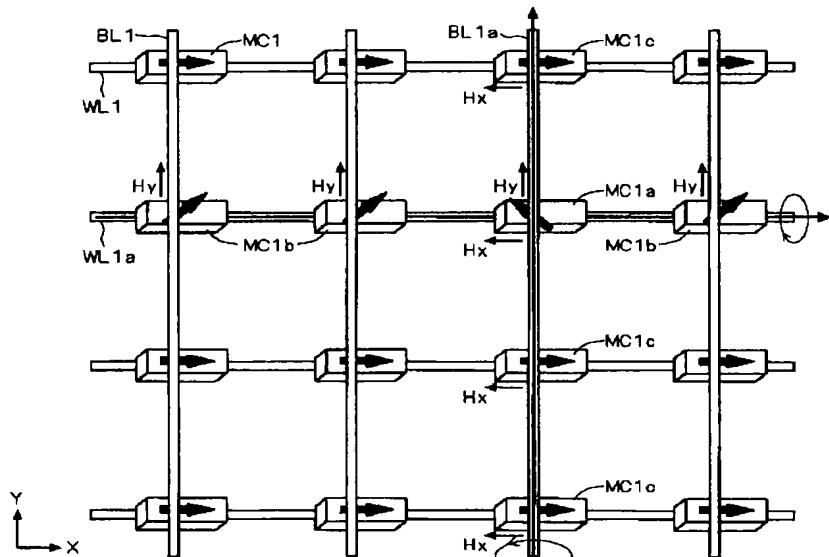
【図77】 従来のMRAMセルアレイの等価回路図である。

【図78】 従来のMRAMセルアレイの動作を説明する図である。

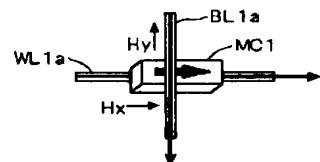
【符号の説明】

MC2, MC3 MRAMセル、64, 83 サブワード線、66, 85, 166 MRAMセルアレイ、67, 84 メインワード線、87 グローバルワード線、861, 1861 メモリセルアレイ群、164, 183 サブビット線、167, 184 メインビット線、187 グローバルビット線、125遮蔽用半田バンプ、223, 235 応力緩和膜、127 信号伝送用半田バンプ、122 半導体チップ、ID インダクタ、FB FL フラッシュビット線、FWL フラッシュワード線、SHB 遮蔽体。

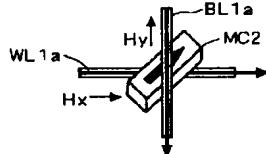
【図3】



【図16】



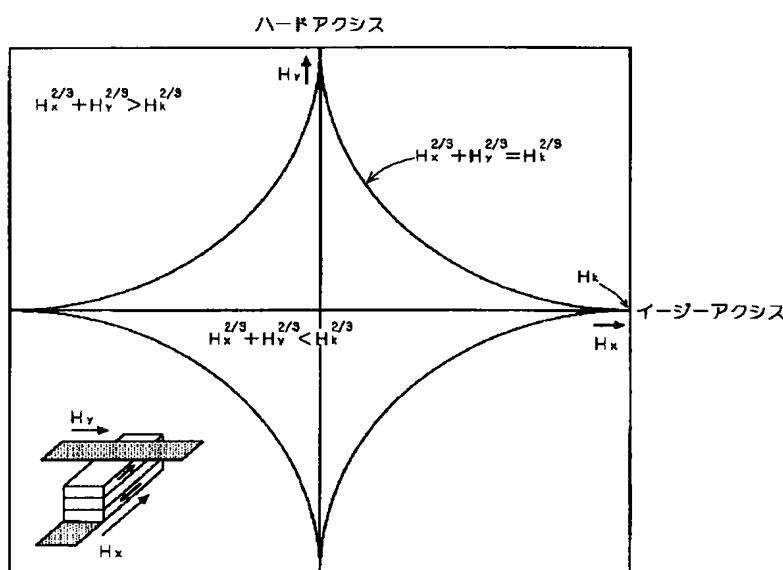
【図18】



【図19】

【図4】

【図17】

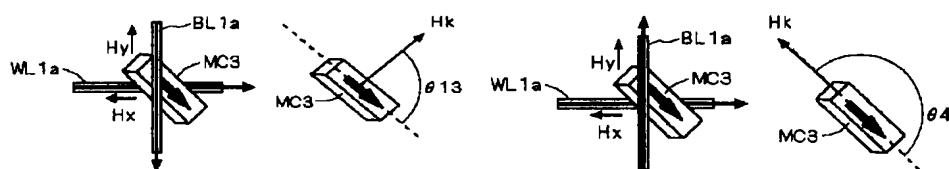


【図20】

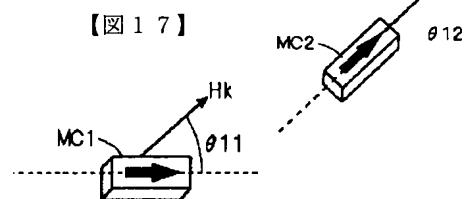
【図21】

【図22】

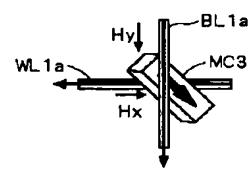
【図23】



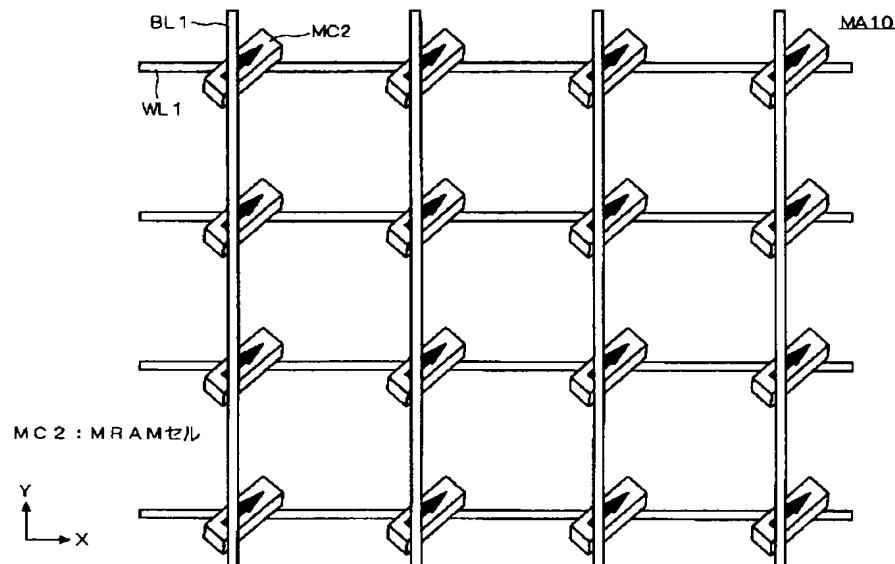
【図24】



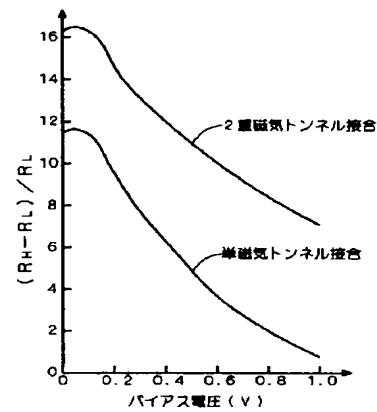
【図25】



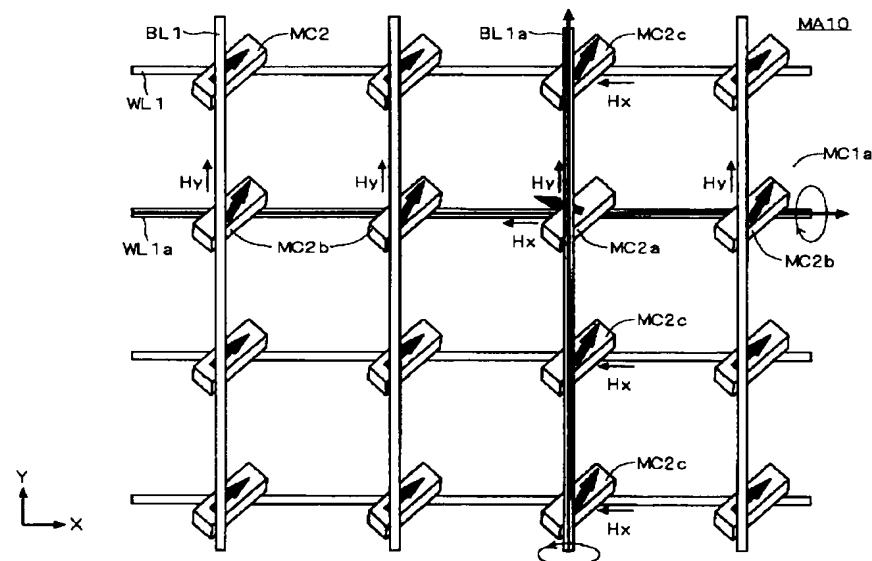
【図5】



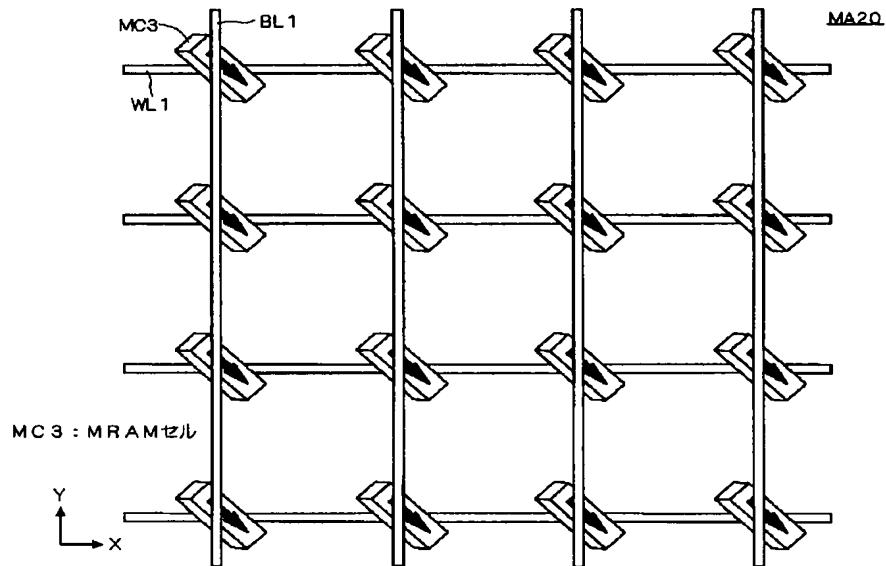
【図29】



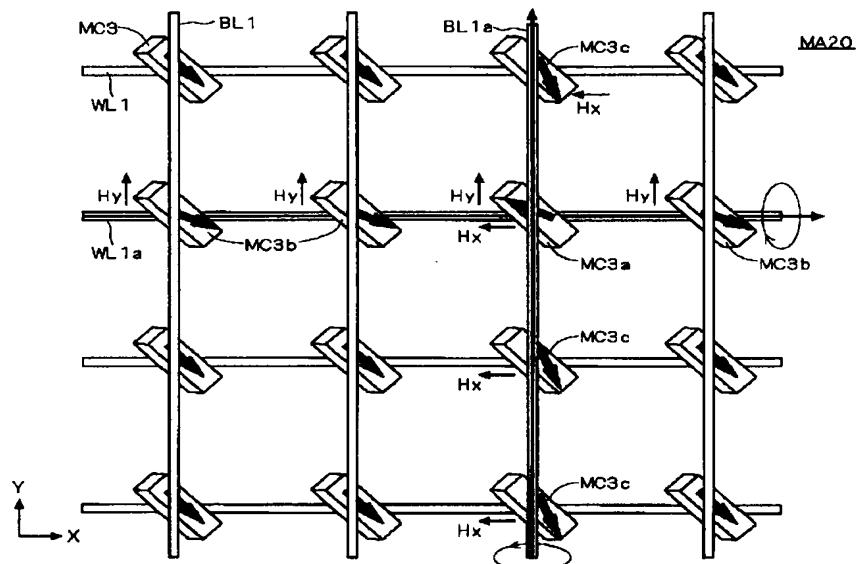
【図6】



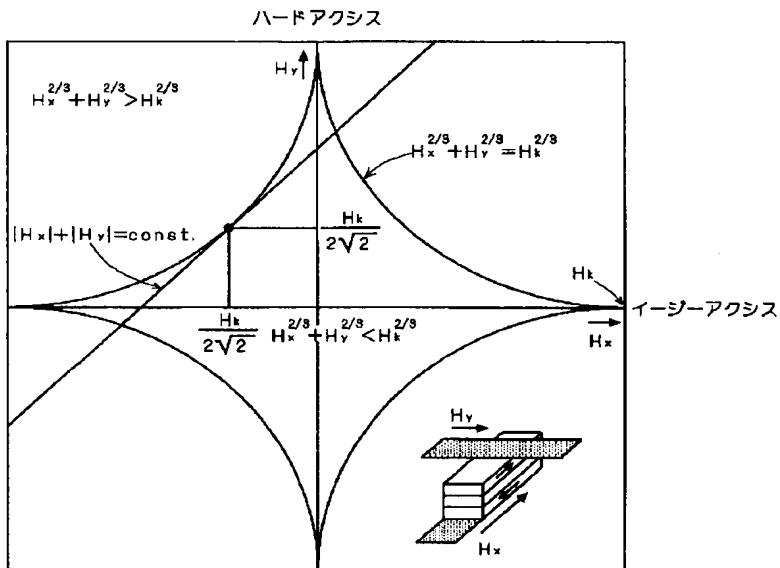
【図7】



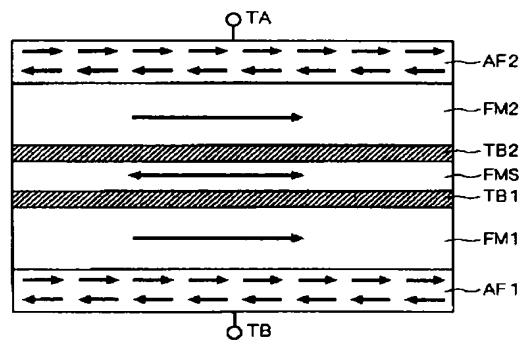
【図8】



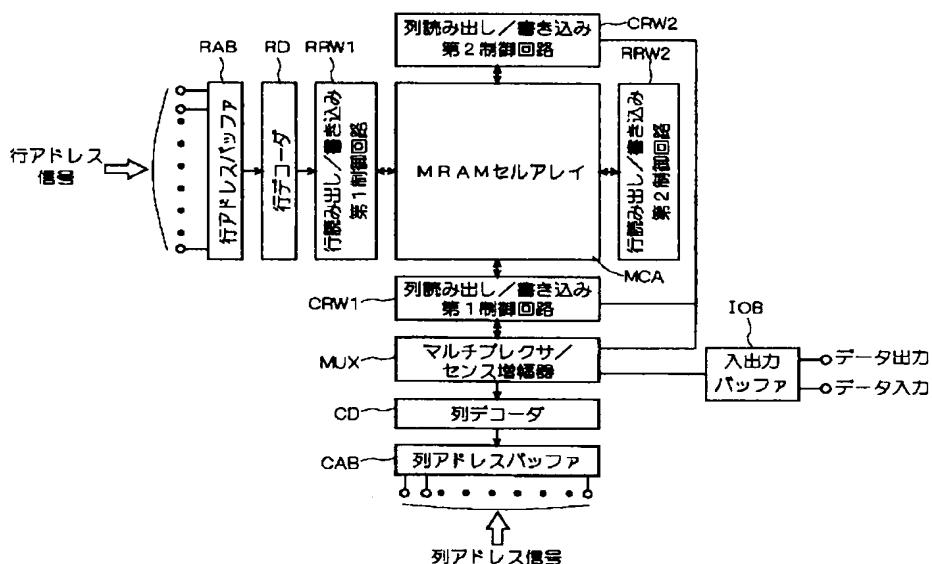
【図15】



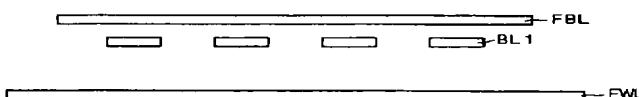
【図30】



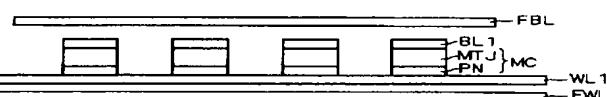
【図26】



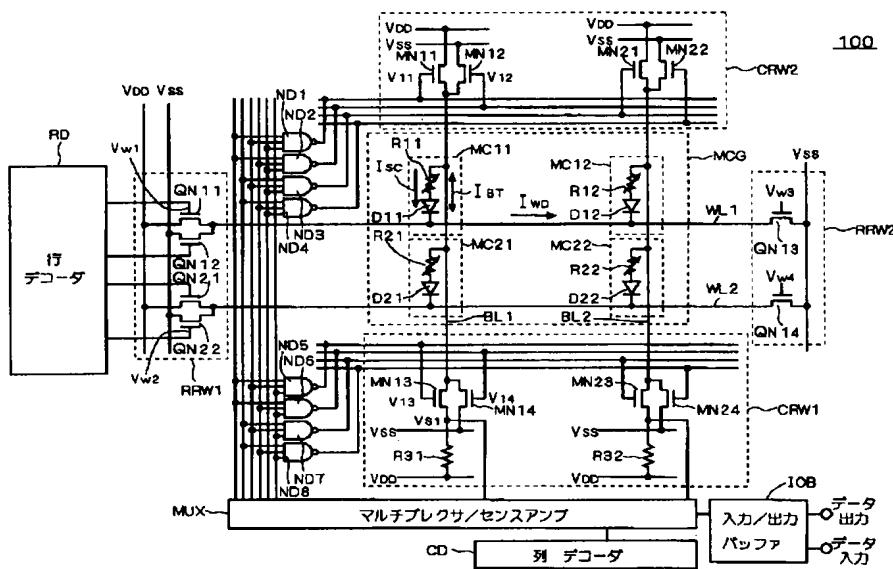
【図44】



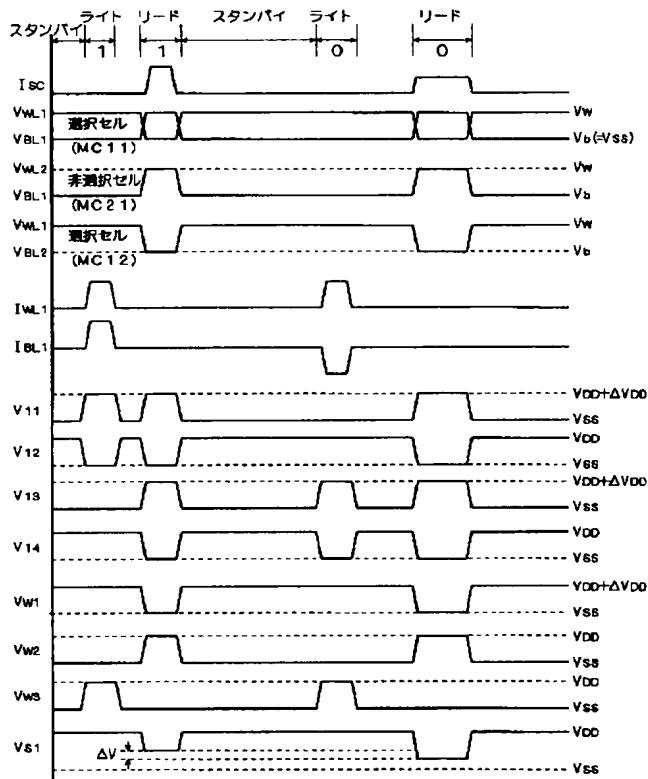
【図45】



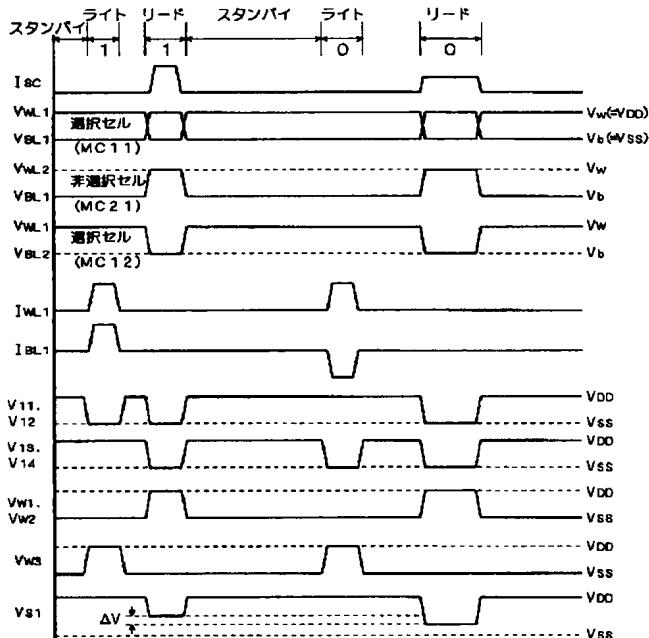
【図27】



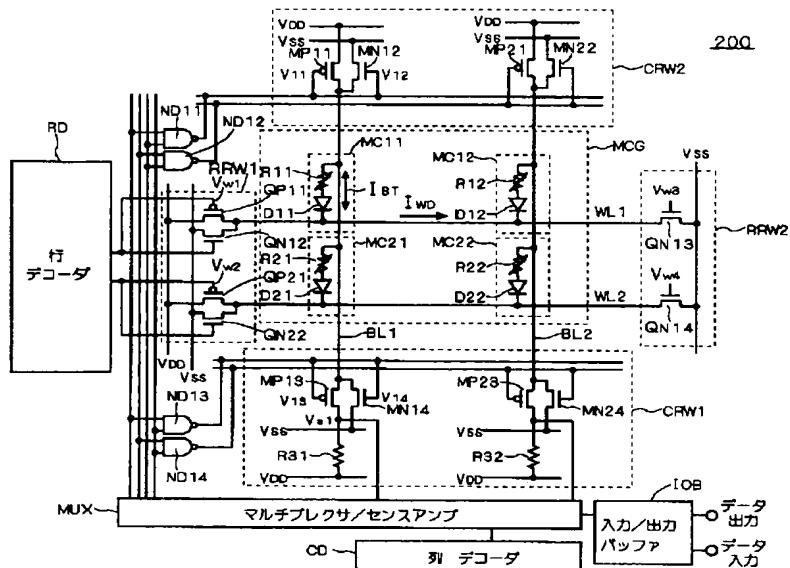
【図28】



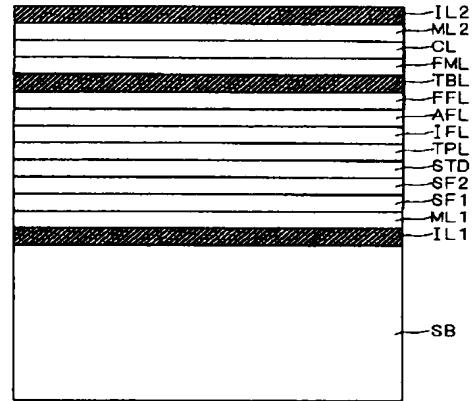
【図3-2】



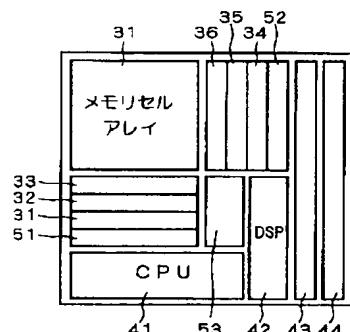
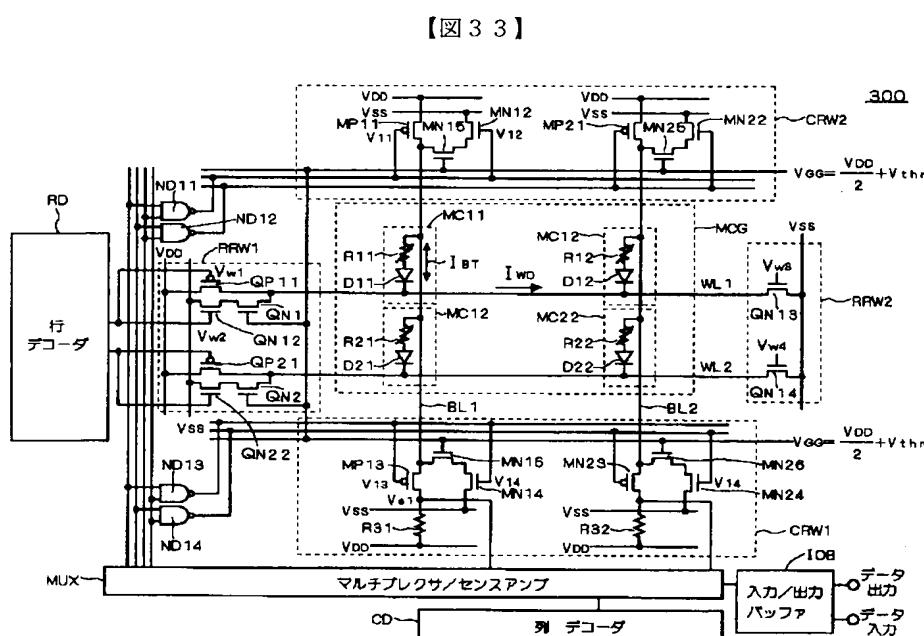
【図31】



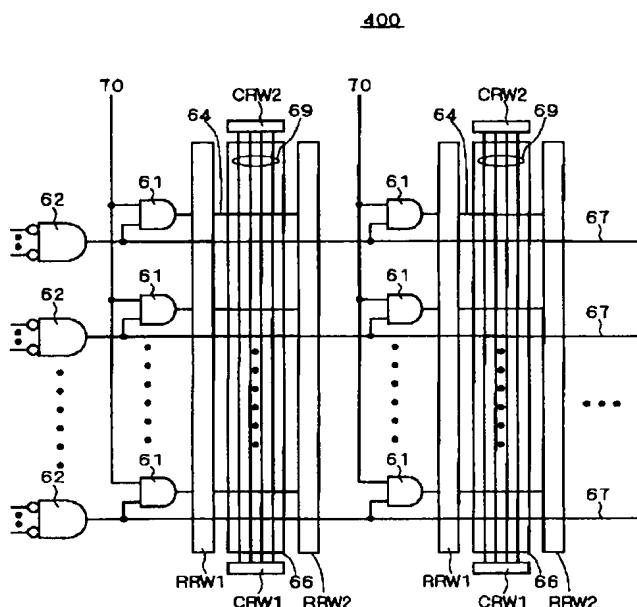
【図49】



【図51】

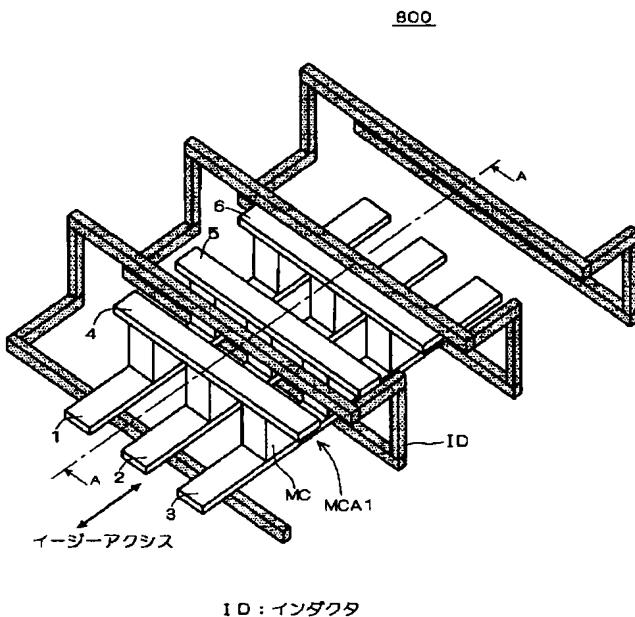


【図34】



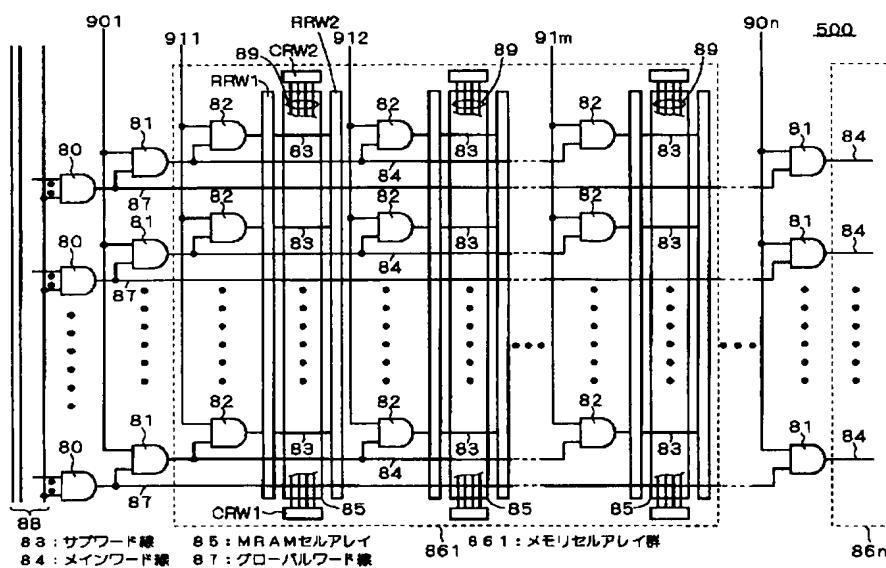
64: サブワード線 66: MRAMセルアレイ
67: メインワード線

【図39】



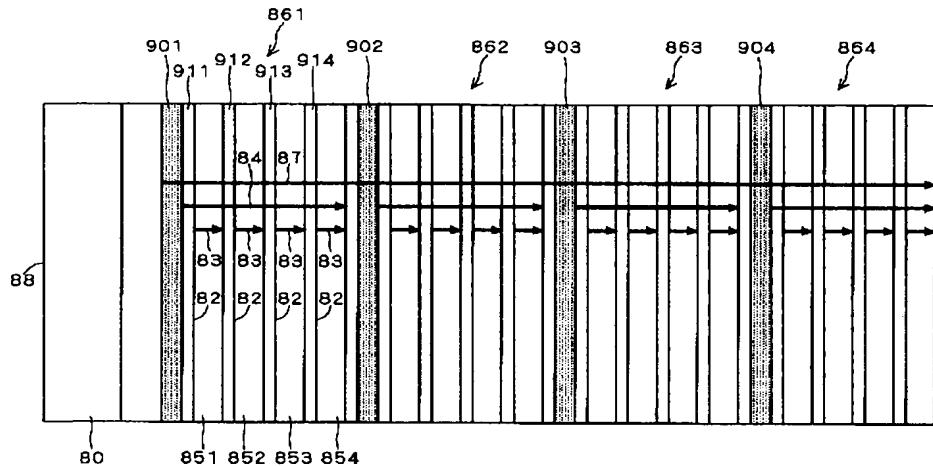
ID: インダクタ

【図35】

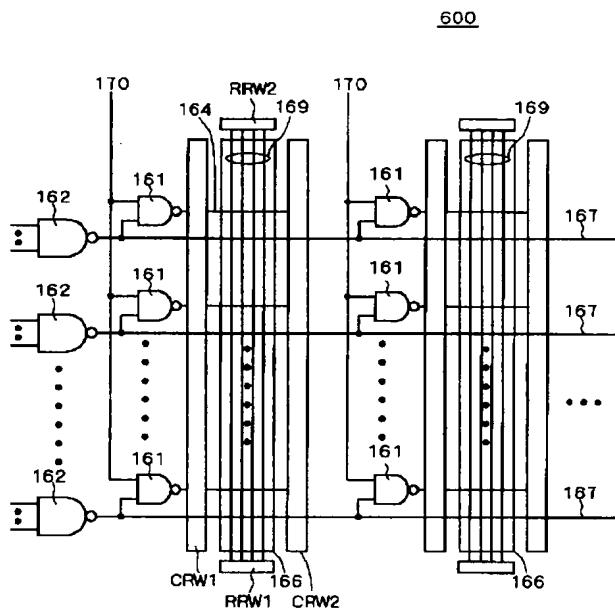


83: サブワード線 85: MRAMセルアレイ
84: メインワード線 861: メモリセルアレイ群
87: グローバルワード線

【図36】

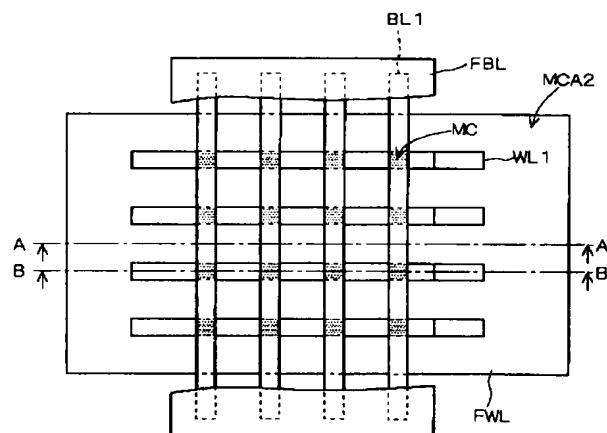


【図37】



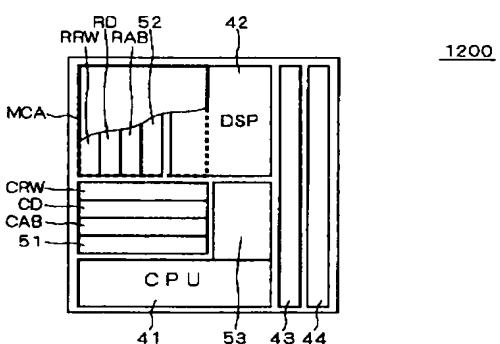
164:サブピット線
167:メインピット線
166:MRAMセルアレイ

【図4-3】

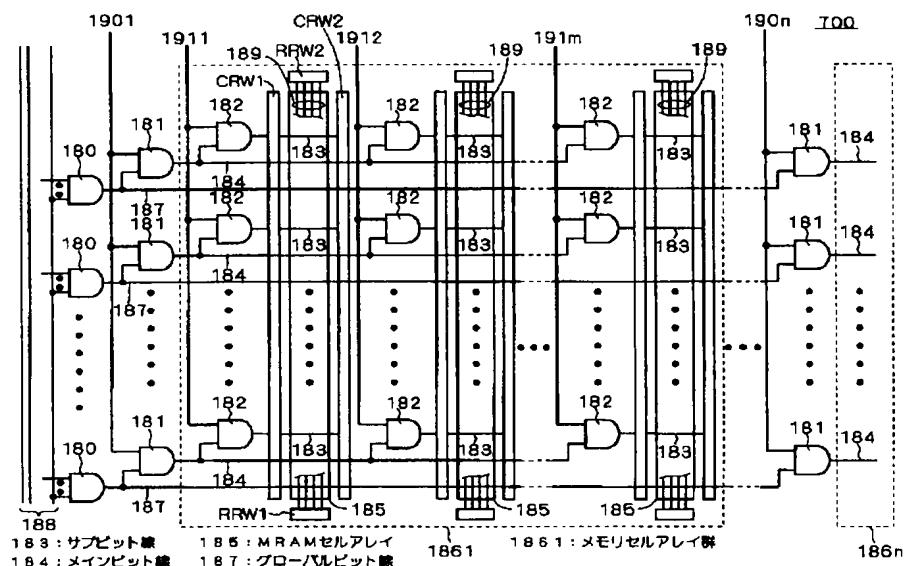


FBL : フラッシュビット線
FWL : フラッシュワード線

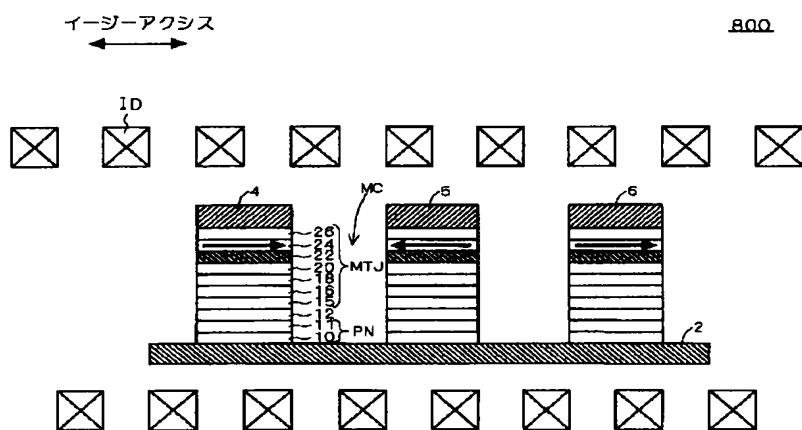
【図52】



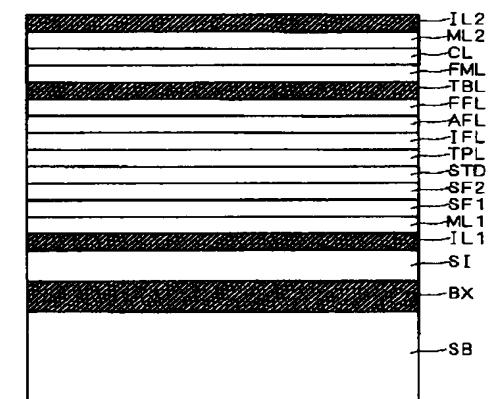
【図38】



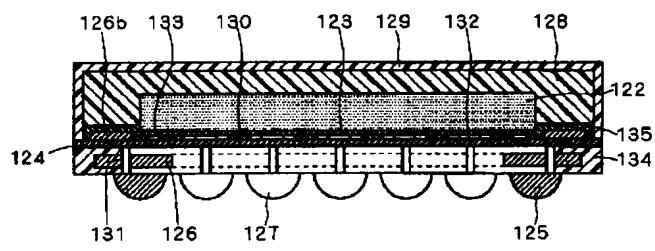
〔四〇〕



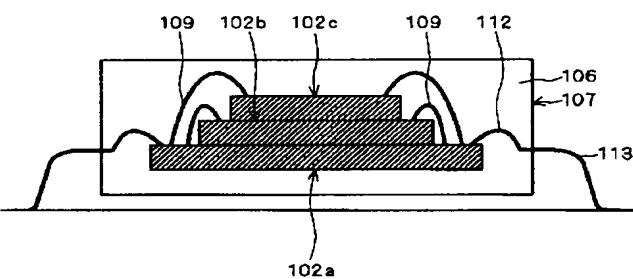
【図 50】



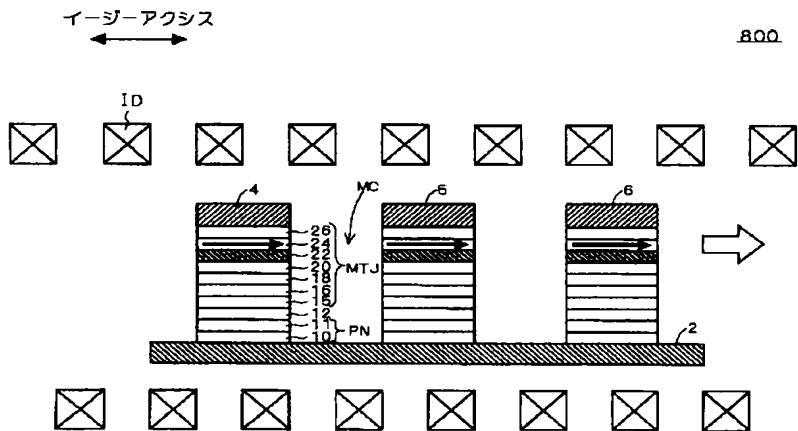
【図 5-4】



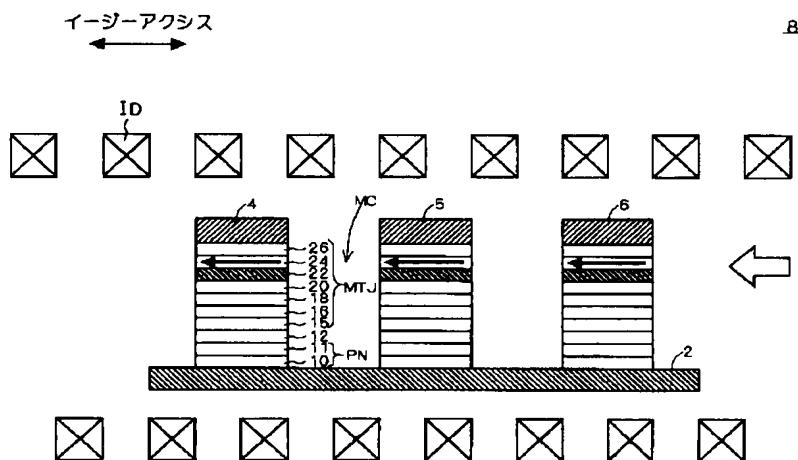
〔図 5 5〕



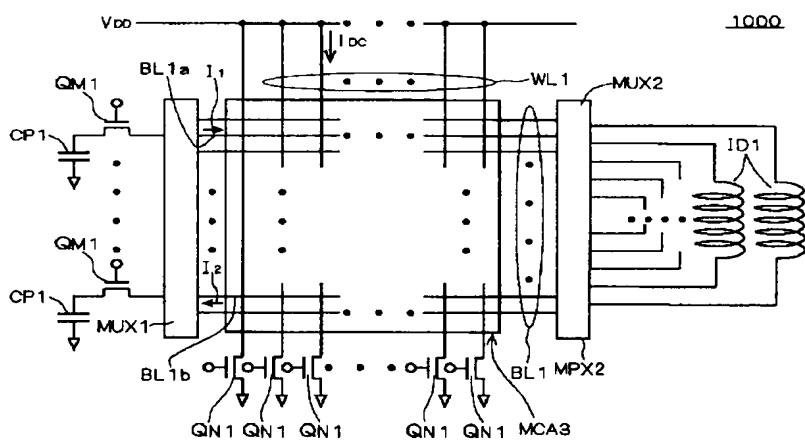
【図41】



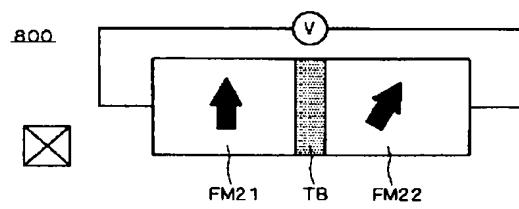
【図42】



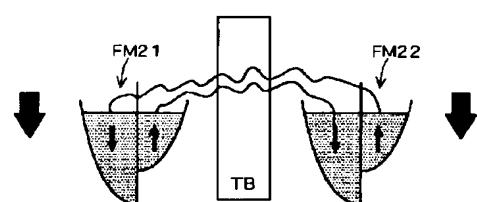
【図47】



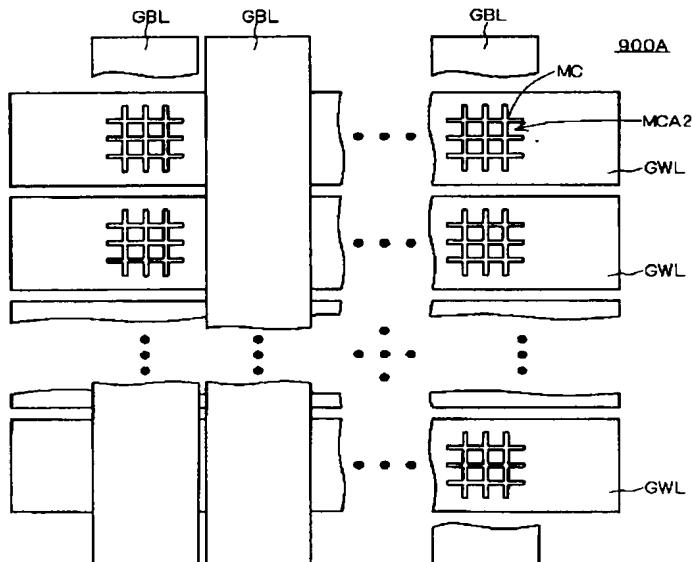
【図67】



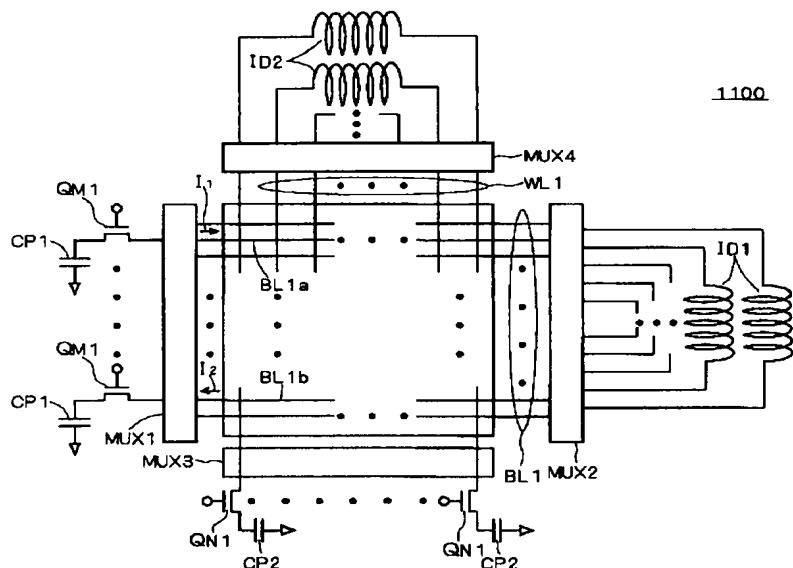
【図69】



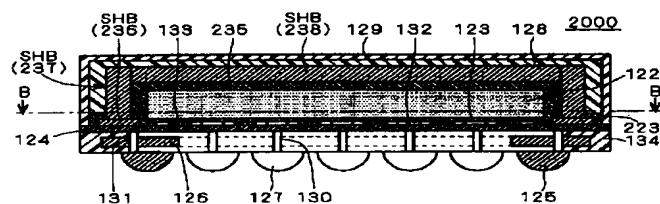
【図46】



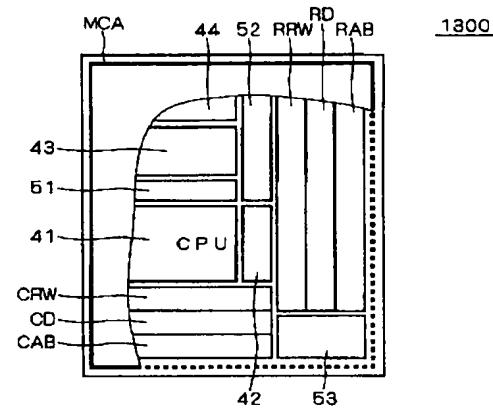
【図48】



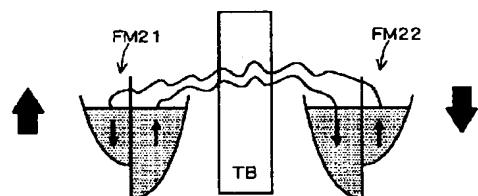
【図56】



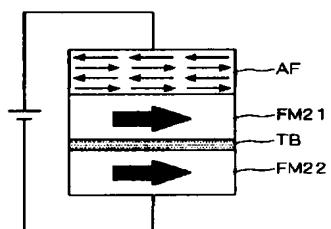
【図53】



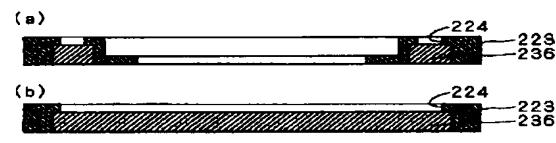
【図70】



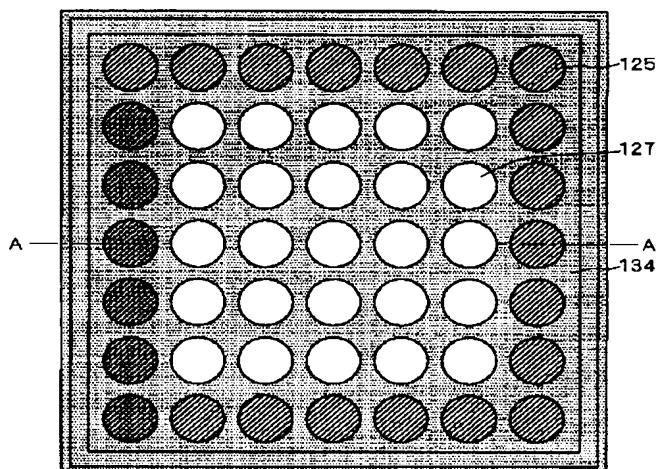
【図71】



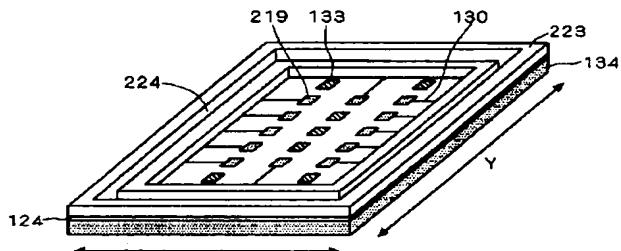
【図64】



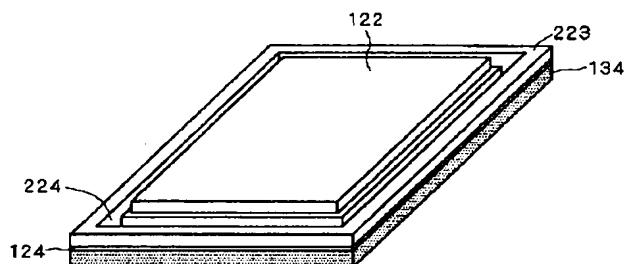
【図57】



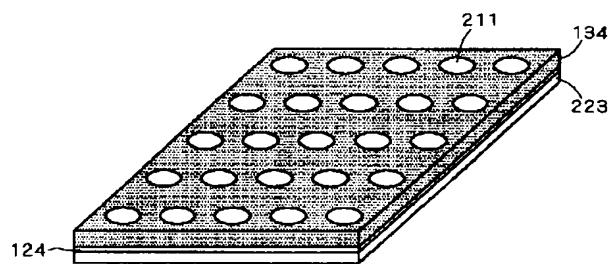
【図58】



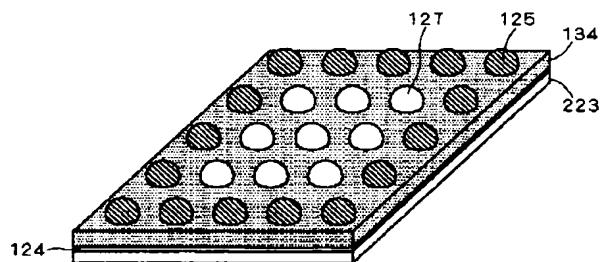
【図59】



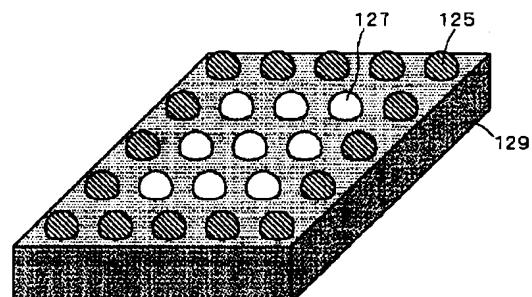
【図60】



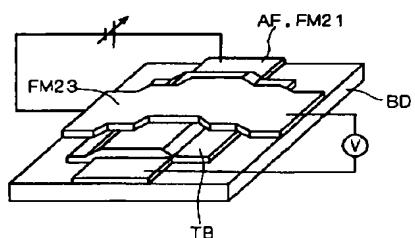
【図61】



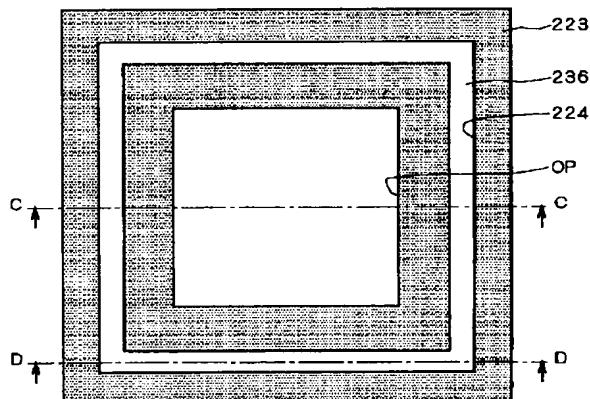
【図62】



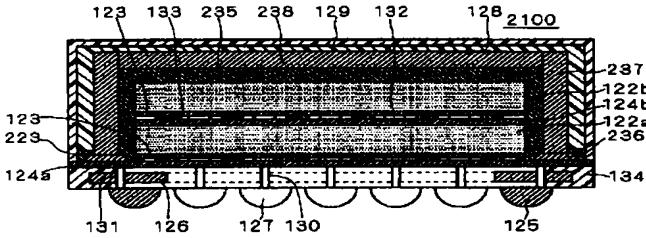
【図73】



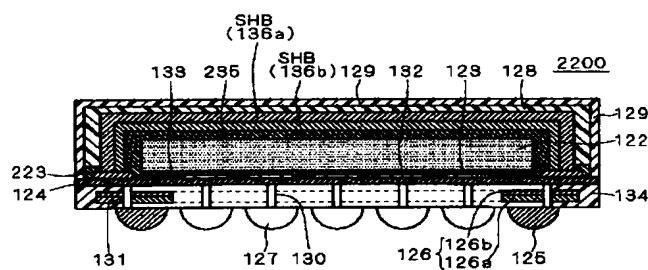
【図63】



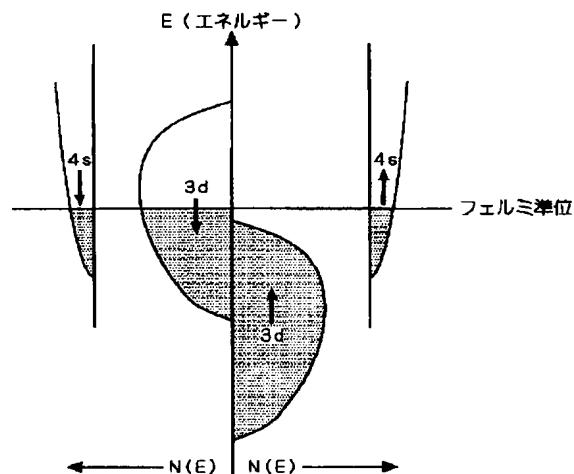
【図65】



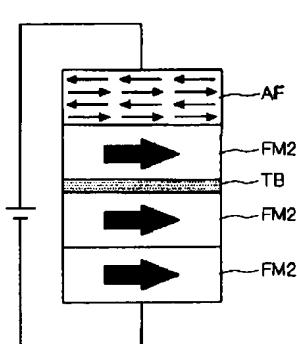
【図66】



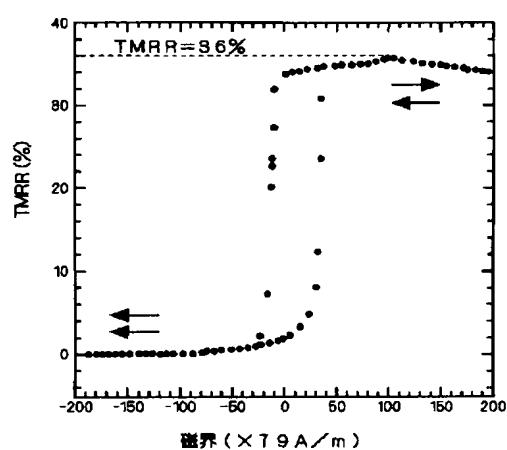
【図68】



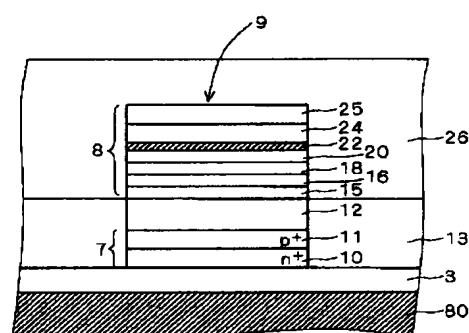
【図72】



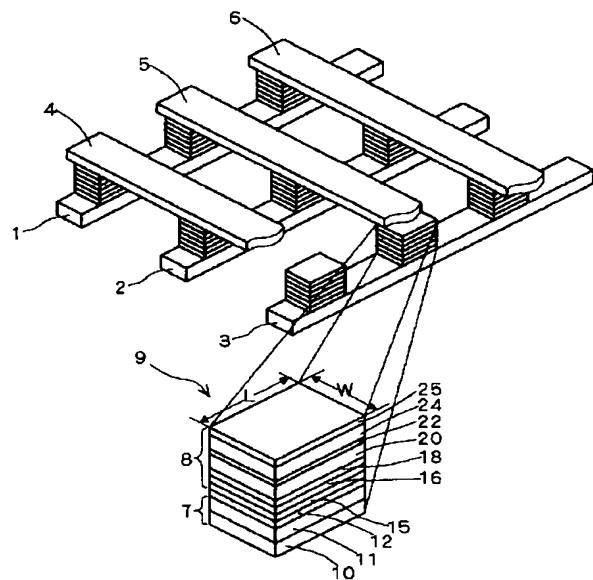
【図74】



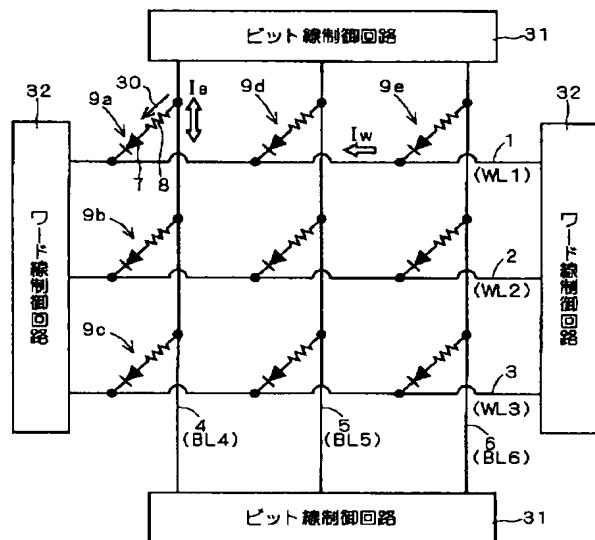
【図76】



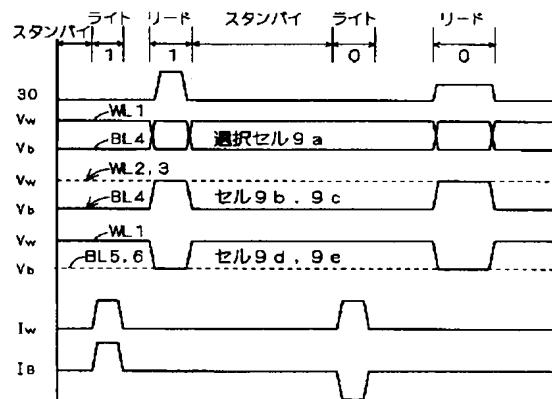
【図75】



【図77】



【図78】



フロントページの続き

(51) Int. Cl. 7 識別記号
H 01 L 43/08

F I テーマコト[®] (参考)
H 01 L 27/10 4 4 7

(72) 発明者 前田 茂伸
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

F ターム (参考) 5E049 AA01 AA04 AA07 AA09 AC05
BA06 CB01 DB01 DB12
5F083 FZ10 GA01